

PATENT ABSTRACTS OF JAPAN

(11)Publication number :

2000-049348

(43)Date of publication of application : 18.02.2000

(51)Int.CI.

H01L 29/78

H01L 21/336

(21)Application number : 11-149750

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 28.05.1999

(72)Inventor : MIYANO KIYOTAKA
MIZUSHIMA ICHIRO
TSUNASHIMA YOSHITAKA
SAITO TOMOHIRO

(30)Priority

Priority number : 10150211 Priority date : 29.05.1998 Priority country : JP

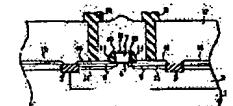
(54) SEMICONDUCTOR DEVICE WITH ELEVATED SOURCE DRAIN STRUCTURE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress the generation of a short-channel effect and a junction leakage current by forming a gap between the bottom surface of a gate-side insulation film and a silicon substrate by etching a liner and a gate oxide film in a crosswise direction.



SOLUTION: For example, an SiO₂ liner 10 and a gate sidewall SiN film 11 are used, and further the SiO₂ liner 10 on the bottom surface of the gate sidewall SiN film 11 is etched in a crosswise direction by a specific amount, thus forming a gap with specific dimensions between the bottom surface of the gate sidewall SiN film 11 and the silicon substrate 1. After that, by allowing silicon to be subjected to epitaxial growth, a facetless epitaxial silicon film 12 can be formed at a part in contact with the gate sidewall SiN film 11. Therefore, by injecting an impurity ion onto a substrate surface via the facetless epitaxial silicon film 12 and forming a source diffused layer 14 and a drain diffused layer 15, the generation of a short-channel effect and a junction leakage current can be suppressed.



LEGAL STATUS

[Date of request for examination] 09.06.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] A silicon substrate and the gate electrode prepared in said silicon substrate surface through the insulator layer, By forming the EREBETEDDO source film and EREBETEDDO drain film with which those surface parts were caught up with from said silicon substrate surface at least on the source field of said silicon substrate surface, and a drain field It is the semiconductor device in which the front face of said source field and a drain field has the structure caught up with rather than said silicon substrate surface. The 1st gate side-attachment-wall insulator layer in which it was formed in the side attachment wall of said gate electrode, and the base separated from said silicon substrate surface, and was formed, It is formed between this 1st gate side-attachment-wall insulator layer and said gate electrodes and in the base of said 1st gate side-attachment-wall insulator layer. The part which consisted of an ingredient of said 1st gate side-attachment-wall insulator layer and a different ingredient, and was formed in this base The inside of the base of said 1st gate side-attachment-wall insulator layer, The semiconductor device which has the EREBETEDDO source drain structure characterized by consisting of the 2nd gate side-attachment-wall insulator layer which exists in the inside base part of said gate electrode approach.

[Claim 2] The semiconductor device which has the EREBETEDDO source drain structure according to claim 1 characterized by an opening existing between said silicon substrate and the base of said 1st gate side-attachment-wall insulator layer of the part in which said 2nd gate side-attachment-wall insulator layer does not exist.

[Claim 3] The facet of said EREBETEDDO source film and the EREBETEDDO drain film exists in said opening. The distance between theta, said silicon substrate, and the base of said 1st gate side-attachment-wall insulator layer for the include angle of this facet and said silicon substrate to make And y, The semiconductor device which has the EREBETEDDO source drain structure according to claim 2 characterized by fulfilling the conditions of $y/x < \tan\theta$ when the dimension of the direction of channel length of the base of said 1st gate side-attachment-wall insulator layer of the part in which said 2nd gate side-attachment-wall insulator layer does not exist is set to x.

[Claim 4] The longitudinal directions of {100} and said gate electrode of the principal plane of said silicon substrate are the <110> directions of said silicon substrate. And an opening exists between said silicon substrate and the base of said 1st gate side-attachment-wall insulator layer of the part in which said 2nd gate side-attachment-wall insulator layer does not exist. And the facet of said EREBETEDDO source film and the EREBETEDDO drain film exists in this opening. The include angle of these facets and said silicon substrate to make, respectively 25.23 degrees, The distance between said silicon substrate and the base of said 1st gate side-attachment-wall insulator layer And y, When the dimension of the direction of channel length of the base of said 1st gate side-attachment-wall insulator layer of the part in which said 2nd gate side-attachment-wall insulator layer does not exist is set to x The semiconductor device which has the EREBETEDDO source drain structure according to claim 1 characterized by fulfilling the conditions of $y/x < \tan(25.23 \text{ degrees})$.

[Claim 5] A silicon substrate and the gate electrode prepared in said silicon substrate surface through an insulator layer, By forming the EREBETEDDO source film and EREBETEDDO drain film with which those surface parts were caught up with from said silicon substrate surface at least on the source field of said silicon substrate surface, and a drain field It is the semiconductor device in which the front face of said source field and a drain field has the structure caught up with rather than said silicon substrate surface. The 1st gate side-attachment-wall insulator layer which consists of a silicon compound which it is formed in the side attachment wall of said gate electrode, and a base separates from said silicon substrate surface, and is formed, and contains nitrogen, It is characterized by having the 2nd gate side-attachment-wall insulator layer which is formed between this 1st gate side-attachment-wall insulator layer and said gate electrodes and in the base of said 1st gate side-attachment-wall insulator layer, and is different from said silicon compound. Semiconductor device which has

EREBETEDDO source drain structure.

[Claim 6] So that the process which forms a gate electrode through gate dielectric film on a silicon substrate, and said gate dielectric film and said gate electrode may be covered The process which forms the 2nd insulator layer which consists of a different ingredient from this 1st insulator layer on the process which forms the 1st insulator layer in the whole surface, and said 1st insulator layer, By using said 1st insulator layer for the etching stopper to said silicon substrate, and etching the front face of said 2nd insulator layer While removing by etching said 1st insulator layer of the process which makes the side attachment wall of said gate electrode save said 2nd insulator layer selectively through said 1st insulator layer, and the field which is not covered by said 2nd insulator layer The process which makes said 1st insulator layer save selectively between said 2nd insulator layer and said silicon substrates, Where the front face of said silicon substrate of said 1st and 2nd perimeters of an insulator layer is exposed, epitaxial growth of silicon is performed. The process which forms the silicon film without a facet in the part which touches with said 2nd insulator layer on said silicon substrate of said 1st and 2nd perimeters of an insulator layer, By performing annealing, after injecting impurity ion into the front face of said silicon substrate through said silicon film The manufacture approach of a semiconductor device of having the process which forms a source diffusion layer and a drain diffusion layer in the front face of said silicon substrate, the process of said silicon film which changes a surface part into the metal silicide film at least, and the EREBETEDDO source drain structure which consists of.

[Claim 7] A silicon substrate and the gate electrode formed in said silicon substrate surface, On the source field of said silicon substrate surface, and a drain field, the EREBETEDDO source film and EREBETEDDO drain film with which those surface parts were caught up with from said silicon substrate surface at least are formed. The 1st gate side-attachment-wall insulator layer which is the semiconductor device in which the front face of said source field and a drain field has the structure caught up with rather than said silicon substrate surface, and was formed in the side attachment wall of said gate electrode, It is formed between this 1st gate side-attachment-wall insulator layer and said gate electrodes and in the base of said 1st gate side-attachment-wall insulator layer. Consist of an ingredient of said 1st gate side-attachment-wall insulator layer, and a different ingredient, and it is formed between the front face of said silicon substrate, and the base of said 1st gate side-attachment-wall insulator layer. It is characterized by having the 2nd gate side-attachment-wall insulator layer which exists in the inside base part of said gate electrode approach. Semiconductor device which has EREBETEDDO source drain structure.

[Claim 8] A silicon substrate and the gate electrode prepared in the; aforementioned silicon substrate surface through an insulator layer; on the source field of said silicon substrate surface, and a drain field By forming the EREBETEDDO source film and EREBETEDDO drain film which were caught up with from said silicon substrate surface It is the semiconductor device with which the MOS transistor in which the front face of said source field and a drain field has the structure caught up with rather than said silicon substrate surface is formed. The gate side-attachment-wall insulator layer in which it was formed in the side attachment wall of said gate electrode, and the base separated from said silicon substrate surface selectively, and was formed, The liner layer selectively formed between the base of said gate side-attachment-wall insulator layer, and said silicon substrate surface, The gate dielectric film formed between the base of said gate electrode, and the front faces of said silicon substrate, and in the inner surface of said gate side-attachment-wall insulator layer, The semiconductor device which is on the exposure front face of said silicon substrate, and has the gate electrode with which it was prepared for Mizouchi surrounded with said gate dielectric film, and flattening of the top face was carried out, and the EREBETEDDO source drain structure characterized by changing more through said gate dielectric film.

[Claim 9] Said EREBETEDDO source film and the EREBETEDDO drain film are a semiconductor device which is characterized by there being no facet in the part which touched said 1st gate side-attachment-wall insulator layer and which has claims 1, 5, and 7 or EREBETEDDO source drain structure given in 8.

[Claim 10] The semiconductor device which has the EREBETEDDO source drain structure according to claim 9 characterized by an opening existing between said silicon substrate and said gate side-attachment-wall insulator layer.

[Claim 11] The facet of said EREBETEDDO source film and the EREBETEDDO drain film exists in said opening. The distance between theta, said silicon substrate, and the base of said 1st gate side-attachment-wall insulator layer for the include angle of this facet and said silicon substrate to make And y, The semiconductor device which has the EREBETEDDO source drain structure according to claim 10 characterized by fulfilling the conditions of $y/x < \tan\theta$ when the dimension of the direction of channel length of the base of said 1st gate side-attachment-wall insulator layer of the part in which said 2nd gate side-attachment-wall insulator layer does not exist is set to

x.

[Claim 12] The longitudinal directions of {100} and said gate electrode of the principal plane of said silicon substrate are the <110> directions of said silicon substrate. And an opening exists between said silicon substrate and the base of said gate side-attachment-wall insulator layer of the part in which said liner layer does not exist. And the facet of said EREBETEDDO source film and the EREBETEDDO drain film exists in this opening. The include angle of these facets and said silicon substrate to make, respectively 25.23 degrees, The distance between said silicon substrate and the base of said gate side-attachment-wall insulator layer And y, When the dimension of the direction of channel length of the base of said gate side-attachment-wall insulator layer of the part in which the gate side-attachment-wall insulator layer of said liner member does not exist is set to x The semiconductor device which has the EREBETEDDO source drain structure according to claim 8 characterized by fulfilling the conditions of $y/x < \tan(25.23 \text{ degrees})$.

[Claim 13] The process which forms a dummy gate electrode through a buffer oxide film on a silicon substrate, So that the process which performs an ion implantation to said silicon substrate by using said dummy gate electrode as a mask, and said buffer oxide film and said dummy gate electrode may be covered By carrying out overall etching of said 1st insulator layer to the process which forms a liner layer (SiO_2) in the whole surface, and the process which forms the 1st insulator layer on said liner layer The process which the side attachment wall of said gate electrode is made to save said 1st insulator layer selectively through said liner layer, and forms a gate side attachment wall, While removing by etching said liner layer of the field which is not covered by said 1st insulator layer The process which makes said liner layer save between the lower base of the side attachment wall of said 1st insulator layer, and said silicon substrate, Where the front face of said silicon substrate around said liner layer and the side attachment wall of said 1st insulator layer is exposed, epitaxial growth of silicon is performed. The process which forms the silicon film on said liner layer and said silicon substrate around the side attachment wall of said 1st insulator layer, and by performing annealing, after injecting impurity ion into the front face of said silicon substrate through said silicon film The process which forms a source diffusion layer and a drain diffusion layer in the front face of said silicon substrate, The process which carries out flattening of said interlayer insulation film front face, and exposes said dummy gate electrode surface after depositing an interlayer insulation film on said dummy gate electrode, said liner layer, and the side attachment wall of said 1st insulator layer, Said dummy gate electrode and the process which subsequently removes said buffer oxide film and exposes said silicon substrate surface, The process which forms gate dielectric film in said exposed silicon substrate surface and the side-attachment-wall inner surface of said 1st insulator layer, The manufacture approach of the process which embeds gate ***** which is on the exposure front face of said silicon substrate, and by which flattening of the top face was carried out to Mizouchi surrounded with said gate dielectric film, and the semiconductor device which has the EREBETEDDO source drain structure which changes more.

[Claim 14] Said gate electrode is the manufacture approach of a semiconductor device of having the EREBETEDDO source drain structure according to claim 13 which is a metal and is characterized by including the process which makes the reaction prevention film intervening between said gate dielectric film on the exposure front face of said silicon substrate , and said gate electrode before the process which embeds said gate electrode further at Mizouchi surrounded with said gate dielectric film .

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the semiconductor device which has the structure where started

a semiconductor device and its manufacture approach, especially the source field and the drain field were caught up with rather than the front face of a silicon substrate from the first, and its manufacture approach.

[0002] In the MOS mold integrated circuit, in order to realize a detailed and high-speed component, the Salicide (SALICIDE:SelfAligned Silicide) technique which forms metal silicide film, such as Co silicide film and Ti silicide film, in self align on a source diffusion layer and a drain diffusion layer is developed.

[0003] On the other hand, it will be necessary to form shallowly from a substrate front face more than the former the source diffusion layer and the drain diffusion layer as detailed-ization progresses.

[0004] However, since considering applying the above SALICIDE techniques to the component made detailed the silicide-ized reaction of the refractory metal film and a silicon substrate progresses while the refractory metal film consumes the silicon of a silicon substrate, it will become difficult to form junction (fastener) to the well in the shallow field from a substrate front face, a source field, or a drain field.

[0005] In order to solve this problem, catching up with the front face of a source field and a drain field rather than the front face of a silicon substrate from the first is performed by forming the epitaxial silicon film on the source field of a silicon substrate surface, and a drain field.

[0006] Subsequently, by injecting impurity ion into a substrate front face through the epitaxial silicon film, then depositing the refractory metal film, and performing a silicide-ized reaction, forming junction in a shallow field from a substrate front face from the first is proposed at the same time it forms the source field and drain field of low resistance.

[0007] Thus, the technique of carrying out epitaxial growth of the silicon on a source field and a drain field, and catching up with the front face of a source field and a drain field rather than the front face of a silicon substrate from the first is called the EREBETEDDO source drain technique.

[0008] Moreover, the thing of the structure where the source field and the drain field were caught up with rather than the substrate front face from the first is called EREBETEDDO source drain structure below.

[0009] The sectional view of the MOS transistor which has the conventional EREBETEDDO source drain structure in drawing 10 is shown.

[0010] On the silicon substrate 81, the gate electrode 83 which consists of polish recon through gate oxide 82 is formed. In the side attachment wall of this gate electrode 83, it is SiO₂. The gate side-attachment-wall SiN film 85 which consists of silicon nitride (SiN) through a liner 84 is formed.

[0011] Moreover, the source diffusion layer 86 and the drain diffusion layer 87 are formed in the front face of a silicon substrate 81 in self align. On these source diffusion layers 86 and the drain diffusion layer 87, the source silicon film 88 and the drain silicon film 89 which consist of single crystal silicon, respectively are formed by the epitaxial grown method.

[0012] However, there were the following problems in the MOS transistor which has this kind of EREBETEDDO source drain structure.

[0013] That is, since a facet 90 produces the EREBETEDDO source film 88 and the EREBETEDDO drain film 89 in each soffit of the gate side-attachment-wall SiN film 85, a source field and a drain field are imminent in the part, and raising serves as imperfection.

[0014] Therefore, in case impurity ion is injected into a substrate front face through the EREBETEDDO source film 88 and the EREBETEDDO drain film 89 and the source diffusion layer 86 and the drain diffusion layer 87 are formed, it presses, and in imperfection and time, the source diffusion layer 86 and the drain diffusion layer 87 have deep raising, and it becomes the thing of high high impurity concentration.

[0015] Consequently, a depletion layer is formed in a channel field of the electric field produced to a channel field at the time of transistor actuation, and lowering of |V_{th}| (absolute value of a threshold electrical potential difference) and pressure-proofing between source-drains fall. That is, the problem of a short channel effect arises.

[0016] Furthermore, in the part which the facet produced, since junction in the shallow field from a substrate front face was not able to be formed, junction leakage current arose there and it had become the cause by which this degraded the property of a transistor remarkably.

[0017] Considering the case where a SALICIDE technique is applied to the MOS transistor made detailed like ****, it will become difficult from progressing, while the refractory metal film consumes the silicon of a silicon substrate to form shallow junction.

[0018] Then, MOS TORANJI with EREBETEDDO source drain structure was proposed until now. That is, after forming the epitaxial silicon film on the source field and the drain field and catching up with the front face of a source field and a drain field rather than the substrate front face from the first, forming the shallow source diffusion layer and drain diffusion layer of low resistance and junction was proposed by performing impregnation of

impurity ion and a silicide reaction.

[0019] However, since a facet produces the epitaxial silicon film in a gate edge soffit, a source field and a drain field are imminent in the part, and raising serves as imperfection.

[0020] Consequently, it pressed, and since a source diffusion layer with raising deep in imperfection and time and a drain diffusion layer were deep and it became the thing of high high impurity concentration, there was a problem that a short channel effect arose. Furthermore, in the part which the facet produced, since shallow junction was not formed, the problem that junction leakage current arose there was pointed out.

[0021]

[Problem(s) to be Solved by the Invention] This invention was made in consideration of the above-mentioned situation, and the place made into the object is to offer the semiconductor device which has the EREBETEDDO source drain structure where generating of a short channel effect and junction leakage current was controlled, and its manufacture approach.

[0022] Moreover, other objects of this invention can reduce the capacity between the source gates and between source drains, and are to offer the semiconductor device which has the EREBETEDDO source drain structure where a good property with still less junction leak and proof-pressure degradation between source drains is acquired, and its manufacture approach.

[0023]

[Means for Solving the Problem] This invention is constituted as follows, in order to attain the above-mentioned object.

[0024] The semiconductor device (claim 1) which has the EREBETEDDO source drain structure of this invention A silicon substrate and the gate electrode prepared in said silicon substrate surface through an insulator layer, By forming the EREBETEDDO source film and EREBETEDDO drain film with which those surface parts were caught up with from said silicon substrate surface at least on the source field of said silicon substrate surface, and a drain field It is the semiconductor device in which the front face of said source field and a drain field has the structure caught up with rather than said silicon substrate surface. The 1st gate side-attachment-wall insulator layer in which it was formed in the side attachment wall of said gate electrode, and the base separated from said silicon substrate surface, and was formed, It is formed between this 1st gate side-attachment-wall insulator layer and said gate electrodes and in the base of said 1st gate side-attachment-wall insulator layer. It consists of an ingredient of said 1st gate side-attachment-wall insulator layer, and a different ingredient, and the part formed in this base is characterized by consisting of the 2nd gate side-attachment-wall insulator layer which exists in the inside base part of said gate electrode approach among the bases of said 1st gate side-attachment-wall insulator layer, and;

[0025] At this time, an opening exists between said silicon substrate and the base of said 1st gate side-attachment-wall insulator layer.of the part.in which said 2nd gate side-attachment-wall insulator layer does not exist (claim 2). The facet of said EREBETEDDO source film and the EREBETEDDO drain film exists in this opening. The distance between theta, said silicon substrate, and the base of said 1st gate side-attachment-wall insulator layer for the include angle of this facet and said silicon substrate to make And y. When the dimension of the direction of channel length of the base of said 1st gate side-attachment-wall insulator layer of the part in which said 2nd gate side-attachment-wall insulator layer does not exist is set to x, it is characterized by what the conditions of $y/x < \tan\theta$ are fulfilled for (claim 3).

[0026] At this time, the principal plane of said silicon substrate (claim 4) the longitudinal direction of [100] and said gate electrode Are the <110> directions of said silicon substrate, and an opening exists between said silicon substrate and the base of said 1st gate side-attachment-wall insulator layer of the part in which said 2nd gate side-attachment-wall insulator layer does not exist. And the facet of said EREBETEDDO source film and the EREBETEDDO drain film exists in this opening. The include angle of these facets and said silicon substrate to make, respectively 25.23 degrees, The distance between said silicon substrate and the base of said 1st gate side-attachment-wall insulator layer And y, When the dimension of the direction of channel length of the base of said 1st gate side-attachment-wall insulator layer of the part in which said 2nd gate side-attachment-wall insulator layer does not exist is set to x, it is characterized by fulfilling the conditions of $y/x < \tan(25.23 \text{ degrees})$.

[0027] Moreover, at this time, the ingredient of said 1st gate side-attachment-wall insulator layer is a silicon compound containing nitrogen, and, as for the ingredient of said 2nd gate side-attachment-wall insulator layer, it is desirable that it is the silicon compound which does not contain nitrogen.

[0028] Moreover, the semiconductor device (claim 5) which has the EREBETEDDO source drain structure of this invention A silicon substrate and the gate electrode prepared in said silicon substrate surface through an

insulator layer, By forming the EREBETEDDO source film and EREBETEDDO drain film which have the conductivity those surface parts of whose are metal silicide film at least and which were caught up with from said silicon substrate surface on the source field of said silicon substrate surface, and a drain field It is the semiconductor device in which the front face of said source field and a drain field has the structure caught up with rather than said silicon substrate surface. The 1st gate side-attachment-wall insulator layer which consists of a silicon compound which it is formed in the side attachment wall of said gate electrode, and a base separates from said silicon substrate surface, and is formed, and contains nitrogen, It is characterized by having the 2nd gate side-attachment-wall insulator layer which is formed between this 1st gate side-attachment-wall insulator layer and said gate electrodes and in the base of said 1st gate side-attachment-wall insulator layer, and is different from said silicon compound.

[0029] Moreover, the manufacture approach (claim 6) of a semiconductor device of having the EREBETEDDO source drain structure of this invention So that the process which forms a gate electrode through gate dielectric film on a silicon substrate, and said gate dielectric film and said gate electrode may be covered The process which forms the 2nd insulator layer which consists of an ingredient which can be etched with an etch rate quicker than the ingredient of this 1st insulator layer on the process which forms the 1st insulator layer in the whole surface, and said 1st insulator layer, By using said 1st insulator layer for the etching stopper to said silicon substrate, and carrying out overall etching of said 2nd insulator layer While removing by etching said 1st insulator layer of the process which makes the side attachment wall of said gate electrode save said 2nd insulator layer selectively through said 1st insulator layer, and the field which is not covered by said 2nd insulator layer The process which makes said 1st insulator layer save selectively between said 2nd insulator layer and said silicon substrates, Where the front face of said silicon substrate of said 1st and 2nd perimeters of an insulator layer is exposed, epitaxial growth of silicon is performed. The process which forms the silicon film without a facet in the part which touches with said 2nd insulator layer on said silicon substrate of said 1st and 2nd perimeters of an insulator layer, By performing annealing, after injecting impurity ion into the front face of said silicon substrate through said silicon film It is characterized by consisting of the process which forms a source diffusion layer and a drain diffusion layer in the front face of said silicon substrate, the process of said silicon film which changes a surface part into the metal silicide film at least, and;

[0030] At this time, said 1st insulator layer is a silicon compound which does not contain nitrogen, and, as for said 2nd insulator layer, consisting of the silicon compound containing nitrogen is desirable.

[0031] The semiconductor device (claim 7) with which the MOS transistor which has the EREBETEDDO source drain structure of this invention is formed A silicon substrate and the gate electrode formed in said silicon substrate surface, On the source field of said silicon substrate surface, and a drain field, the EREBETEDDO source film and EREBETEDDO drain film with which those surface parts were caught up with from said silicon substrate surface at least are formed. It is the semiconductor device with which the MOS transistor in which the front face of said source field and a drain field has the structure caught up with rather than said silicon substrate surface is formed. The 1st gate side-attachment-wall insulator layer formed in the side attachment wall of the gate electrode of said MOS transistor, It is formed between this 1st gate side-attachment-wall insulator layer and said gate electrodes and in the base of said 1st gate side-attachment-wall insulator layer. It consists of an ingredient of said 1st gate side-attachment-wall insulator layer, and a different ingredient, is formed between the front face of said silicon substrate, and the base of said 1st gate side-attachment-wall insulator layer, and is characterized by having the 2nd gate side-attachment-wall insulator layer which exists in the inside base part of said gate electrode approach.

[0032] As for said gate electrode, at this time, it is desirable to carry out the laminating of the silicon nitride to polycrystalline silicon, and to be formed. Moreover, this invention The semiconductor device (claim 8) which has EREBETEDDO source drain structure A silicon substrate and the gate electrode prepared in said silicon substrate surface through an insulator layer, By forming the EREBETEDDO source film and EREBETEDDO drain film which were caught up with from said silicon substrate surface on the source field of said silicon substrate surface, and a drain field It is the semiconductor device in which the front face of said source field and a drain field has the structure caught up with rather than said silicon substrate surface. The gate side-attachment-wall insulator layer in which it was formed in the side attachment wall of said gate electrode, and the base separated from said silicon substrate surface selectively, and was formed, The liner layer selectively formed between the base of said gate side-attachment-wall insulator layer, and said silicon substrate surface, The gate dielectric film formed between the base of said gate electrode, and the front faces of said silicon substrate, and in the inner surface of said gate side-attachment-wall insulator layer, Through said gate dielectric film, it is on the exposure front face of said

silicon substrate, and it is prepared for Mizouchi surrounded with said gate dielectric film, and is characterized by the gate electrode with which flattening of the top face was carried out, and changing more.

[0033] At this time, said EREBETEDDO source film and the EREBETEDDO drain film are characterized by what no facet is (claim 9) in the part which touched said 1st gate side-attachment-wall insulator layer.

[0034] At this time, the reaction prevention film which intervenes between said gate dielectric film on the exposure front face of said silicon substrate and said gate electrode can be included further.

[0035] Moreover, as for said gate electrode, it is desirable to consist of a single metal layer at least. Moreover, said gate electrode at this time is a tungsten, and aluminum and Cu. It is desirable that it is any one.

[0036] Furthermore, as for said reaction prevention film, it is desirable that it is any one of titanium nitride, a nitriding tungsten, and the tantalum nitrides.

[0037] Moreover, between said silicon substrate and said gate side-attachment-wall insulator layer, it is characterized by what (claim 10) an opening exists at this time.

[0038] When the dimension of the direction of channel length of the base of said gate side-attachment-wall insulator layer of the part in which the facet of said EREBETEDDO source film and the EREBETEDDO drain film exists in this opening (claim 11), and y and said liner layer do not exist the distance between theta, said silicon substrate, and the base of said gate side-attachment-wall insulator layer in the include angle of the facet of a parenthesis and said silicon substrate to make is set to x, it is characterized by fulfilling the conditions of $y/x < \tan\theta$.

[0039] At this time, moreover, the principal plane of said silicon substrate (claim 12) The longitudinal directions of {100} and said gate electrode are the <110> directions of said silicon substrate. And an opening exists between said silicon substrate and the base of said gate side-attachment-wall insulator layer of the part in which said liner layer does not exist. And the facet of said EREBETEDDO source film and the EREBETEDDO drain film exists in this opening. The include angle of these facets and said silicon substrate to make, respectively 25.23 degrees, The distance between said silicon substrate and the base of said gate side-attachment-wall insulator layer And y, When the dimension of the direction of channel length of the base of said gate side-attachment-wall insulator layer of the part in which the gate side-attachment-wall insulator layer of said liner member does not exist is set to x, it is characterized by fulfilling the conditions of $y/x < \tan(25.23 \text{ degrees})$.

[0040] Furthermore, the manufacture approach (claim 13) of a semiconductor device of having the EREBETEDDO source drain structure of this invention The process which forms a dummy gate electrode through a buffer oxide film on a silicon substrate, So that the process which performs an ion implantation to said silicon substrate by using said dummy gate electrode as a mask, and said buffer oxide film and said dummy gate electrode may be covered By carrying out overall etching of said 1st insulator layer to the process which forms a liner layer (SiO_2) in the whole surface, and the process which forms the 1st insulator layer on said liner layer The process which the side attachment wall of said gate electrode is made to save said 1st insulator layer selectively through said liner layer, and forms a gate side attachment wall, While removing by etching said liner layer of the field which is not covered by said 1st insulator layer The process which makes said liner layer save between the lower base of the side attachment wall of said 1st insulator layer, and said silicon substrate, Where the front face of said silicon substrate around said liner layer and the side attachment wall of said 1st insulator layer is exposed, epitaxial growth of silicon is performed. The process which forms the silicon film on said liner layer and said silicon substrate around the side attachment wall of said 1st insulator layer, and by performing annealing, after injecting impurity ion into the front face of said silicon substrate through said silicon film The process which forms a source diffusion layer and a drain diffusion layer in the front face of said silicon substrate, The process which carries out flattening of said interlayer insulation film front face, and exposes said dummy gate electrode surface after depositing an interlayer insulation film on said dummy gate electrode, said liner layer, and the side attachment wall of said 1st insulator layer, Said dummy gate electrode and the process which subsequently removes said buffer oxide film and exposes said silicon substrate surface, It is characterized by the process embedding the gate electrode with which flattening of the top face was carried out, and changing more at Mizouchi who is on the process which forms gate dielectric film in said exposed silicon substrate surface and the side-attachment-wall inner surface of said 1st insulator layer, and the exposure front face of said silicon substrate, and was surrounded with said gate dielectric film. this time — said gate electrode (claim 14) — a metal — it is — further — It is characterized by including the process which makes the reaction prevention film intervene between said gate dielectric film on the exposure front face of said silicon substrate, and said gate electrode before the process which embeds said gate electrode at Mizouchi surrounded with said gate dielectric film.

[0041]

[Embodiment of the Invention] Before explaining one example of this invention below, the outline of this invention is explained with reference to drawing 11 and drawing 12.

[0042] The important section sectional view of an MOS transistor where drawing 11 has EREBETEDDO source drain structure, the EREBETEDDO source film and drawing 12 (a) thru/or drawing 12 (d) are each sectional view in which it is shown like the growth fault of the EREBETEDDO drain film.

[0043] this invention persons are SiO [in / in generating of the facet of an MOS transistor with EREBETEDDO source drain structure / a gate edge, a STI (Shallow Trench Isolation) edge, etc.]2. It was shown clearly that it happens in a boundary part with the film.

[0044] For example, usual SiO₂ as an ingredient of a gate side-attachment-wall insulator layer When it uses, as it is shown in drawing 11, the EREBETEDDO source film 88 and the EREBETEDDO drain film 89 (epitaxial silicon layer) are the gate side attachment wall SiO₂. It is clear to produce the facet 90 which consists of the {311} crystal faces in the part which touched the film 91 (gate edge).

[0045] For example, as shown in drawing 12 (a), it is SiO₂ to the side attachment wall of the gate electrode 83. The gate side-attachment-wall SiN film 85 is formed through the liner 84, and after the substrate front face of a source field and a drain field has been exposed, selection epitaxial growth of silicon is performed.

[0046] If it does so, as shown in drawing 12 (b), the EREBETEDDO source film 88 and the EREBETEDDO drain film 89 (epitaxial silicon film) will grow along with gate oxide 82 (SiO₂ film) at the beginning.

[0047] After an appropriate time and SiO₂ In order to grow up along with a liner 84, they are gate oxide 82 and SiO₂. As a result of becoming equal to the case which carried out epitaxial membrane formation along with the edge of SiO₂ film substantially where it consists of edges with a liner 84, the facet 90 which consists of {311} sides in a gate edge soffit will arise.

[0048] Next, when the epitaxial growth of silicon is continued holding the condition which shows in drawing 12 (b), as shown in drawing 12 (c), a facet side will contact the base edge of the gate side-attachment-wall SiN film 85, and a part of the facet side will be exposed to the exterior of the gate side-attachment-wall SiN film 85.

[0049] Drawing 13 is a microphotography (SEM image) in which the experimental result proving this is shown.

[0050] The SiN film (thickness: 240nm) / SiO₂ It is an obtaining microphotography when epitaxial growth of the silicon is carried out on a membranous (thickness: 50nm) pattern and the epitaxial growth of silicon is continued further after that (it is equivalent to the condition of drawing 12 (b)).

[0051] Since the front face has always exposed the facet side while epitaxial growth continues, silicon will grow epitaxially without a facet 90 disappearing, so that clearly from drawing 12 (c) and drawing 13.

[0052] Consequently, as shown in drawing 12 (d), the EREBETEDDO source film 88 and the EREBETEDDO drain film 89 which have a facet 90 will be formed in a gate edge soffit.

[0053] this invention --- drawing 12 (a) --- or --- In order to control generating of the facet 90 in the gate edge which boiled, referred to and described drawing 12 (d), generating of a facet mentioned above is controlled by devising the ingredient of the gate side-attachment-wall insulator layer 85, and the configuration (structure) of the edge soffit of the gate side-attachment-wall insulator layer 85.

[0054] With reference to a drawing, the 1st example of this invention is explained below.

[0055] First, the description on an ingredient is described. In this invention, the insulating material containing nitrogen, such as silicon nitride (SiN) or nitriding silicon oxide (SiON), is used as an ingredient of a gate side-attachment-wall insulator layer.

[0056] When this kind of insulating material is used, each thickness of the EREBETEDDO source film and the EREBETEDDO drain film (epitaxial silicon film) is because it became clear by less than about 100nm that a facet does not arise by research of this invention persons.

[0057] Next, the description on a configuration (structure) is described.

[0058] Here, the case where the gate side-attachment-wall insulator layer (gate side-attachment-wall SiN film) which consists of SiN is used is explained.

[0059] First, in drawing 1 , it is on a silicon substrate and etching clearance of the SiO₂ liner 84 in the lower part of the gate side-attachment-wall SiN film 85 is carried out in a longitudinal direction using a rare fluoric acid water solution etc.

[0060] Then, it is SiO₂ when selection epitaxial growth is made to perform in the silicon layer on a silicon substrate. The upper bed section of the facet 90 contacted and formed in the liner 84 contacts the base of the gate side-attachment-wall SiN film 85.

[0061] For this reason, the field of a facet 90 can hide in the base of the gate side-attachment-wall SiN film 85,

cannot be exposed to the outside of the gate side-attachment-wall SiN film 85, and can prevent growth of a facet 90 in subsequent growth.

[0062] If the include angle of the facet 90 generated at this time is set to theta as shown in an enlarged drawing (distance y between the base of the gate side-attachment-wall SiN film, and a silicon substrate) /(amount x of longitudinal direction etching) $\langle \tan\theta = \frac{y}{x} \rangle$ (formula 1)

it becomes $\tan\theta = \frac{y}{x}$ as the amount x of longitudinal direction etching — if it puts in another way — SiO₂ The structure shown in drawing 1 can be acquired by controlling the dimension of the direction of channel length of the base of the gate side-attachment-wall SiN film 85 of the part which a liner 84 is formed and is not. The value of theta can be calculated if the crystal face of the facet to generate is known.

[0063] For example, what is necessary is just to be $\theta = 25.23$ degrees, since {311} sides occur preferentially as a facet in a pattern edge in carrying out vapor phase epitaxial growth of the silicon on the pattern of the <110> directions formed on the {100} wafers used in the usual semi-conductor process.

[0064] When are stated in more detail and the facet side generated actually turns into a compound side of {311} sides and a field steeper than {311} sides It follows for assuming that only {311} sides occur when it has a facet angle (theta defined above) with the facet side steeper than {311} sides otherwise generated (formula 1), and they are the amount x of longitudinal direction etching, and SiO₂. It is enough if thickness y of a liner is determined.

[0065] The epitaxial silicon layer which does not have [in / as mentioned above / the soffit section of the gate side-attachment-wall SiN film 85] a facet can be formed.

[0066] Drawing 6 shows the microphotography (cross-section SEM image) in which it is shown that the facet has not arisen in the part in contact with the SiN film, when satisfied actually (formula 1). At this time, they are the SiN film (thickness: 240nm) / SiO₂. The experiment sample to which epitaxial growth of the silicon was carried out is used on the membranous (thickness: 50nm) pattern.

[0067] On the other hand, since it has the property as SiN in which SiON is the same when SiON is used as a liner ingredient, they are above SiO_{(s)2}. Generating of a facet can also be controlled without being based on configuration control (Parameter x, control of y and theta) of the pars basilaris ossis occipitalis of the gate side-attachment-wall SiN film by longitudinal direction etching of a liner.

[0068] Therefore, it does not need to be cautious of the configuration of the pars basilaris ossis occipitalis of the gate side-attachment-wall SiN film 85 in this case.

[0069] Next, the gestalt of concrete operation of the first of this invention is explained with reference to drawing 2 thru/or drawing 4.

[0070] Drawing 2 thru/or drawing 4 are each process sectional view showing the manufacture approach of an MOS transistor of having the EREBETEDDO source drain structure concerning the 1st operation gestalt of this invention.

[0071] First, as shown in drawing 2 (a), when a principal plane pours in As (arsenic) ion and performs annealing on the front face of the silicon substrate 1 of {100} continuously, n mold well 2 with a depth of about 1 micrometer is formed.

[0072] Next, as shown in drawing 2 (b), a shallow trench is formed in the front face of a silicon substrate 1, and the component isolation region which specifies the formation field of an MOS transistor is formed by STI (Silicon Trench Isolation) by embedding the interior of this trench with an oxide film 3. The thickness (depth of a trench) of an oxide film 3 is about 600nm.

[0073] Next, in order to adjust the threshold electrical potential difference of an MOS transistor after forming the protection oxide film 4 with a thickness of about 10nm in a substrate front face by thermal oxidation as shown in drawing 2 (c), the impurity ion 5 is injected into a substrate front face through the protection oxide film 4. Then, the protection oxide film 4 is exfoliated.

[0074] Next, as shown in drawing 2 (d), after forming gate oxide 6 with a thickness of about several nm by thermal oxidation, the gate electrode 7 which consists of polycrystalline silicon is formed on this gate oxide 6. The longitudinal direction of this gate electrode 7 is chosen in the <110> directions of a silicon substrate 1.

[0075] The concrete formation approach of the gate electrode 7 is as follows. That is, after depositing the polycrystalline silicon film with a thickness of 200nm it is thin to the gate electrode 7 with a CVD method etc. on gate oxide 6, a photoresist pattern is formed on this polycrystalline silicon film, and it forms by making this into a mask and etching the polycrystalline silicon film.

[0076] Next, as shown in drawing 3 (e), the gate electrode 7 is used as a mask, impurity ion is injected into a substrate front face, annealing is performed after an appropriate time, and the shallow source diffusion layer 8 and the drain diffusion layer (LDD) 9 of low high impurity concentration are formed in self align.

[0077] The conditions of an ion implantation are BF₂. If it is an ion implantation, acceleration voltage is 10KeV(s) and dose 5x10¹⁴cm⁻².

[0078] next, it is shown in drawing 3 (f) -- as -- the whole surface -- SiO₂ from -- SiO₂ liner 10 with a thin thickness of 10nm -- LPCVD -- law -- depositing -- continuing -- LPCVD -- law -- SiO₂ The silicon nitride 11 with a thickness of about 70nm is deposited with sufficient coat nature on a liner 10.

[0079] SiO₂ Since a liner 10 is used for an etching stopper at an after process, the thickness of SiO₂ liner 10 requires thickness about 10nm or more.

[0080] Next, it is SiO₂ as shown in drawing 3 (g). A liner 10 is used for etching SUTOPA to a silicon substrate 1, the whole surface of the silicon nitride 11 is etched by the RIE method, and it is SiO₂ to the side attachment wall of the gate electrode 7. The silicon nitride 11 is made to save selectively through a liner 10. Hereafter, this silicon nitride 11 that remained is called gate side-attachment-wall SiN film 11.

[0081] In addition, at this operation gestalt, it is SiO₂. It is SiO₂, although it etched so that a liner 10 might not disappear. It is SiO₂ if the gate oxide 6 which is the substrate of a liner 10 does not disappear. A liner 10 may disappear.

[0082] For such etching, gate oxide 6 (thermal oxidation film) is SiO₂. It can carry out easily from it being the film more precise than a liner 10 (LPCVD film).

[0083] As shown in drawing 3 (h), by next, the wet etching (isotropic etching) using a diluted-fluoric-acid water solution etc. SiO₂ of the field which is not covered with the gate side-attachment-wall SiN film 11 While removing a liner 10 and gate oxide 6 SiO₂ of the base of the gate side-attachment-wall SiN film 11 By etching a liner 10 and gate oxide 6 into a longitudinal direction, it is SiO₂. The part inside the gate side-attachment-wall SiN film 11 is made to save a liner 10 and gate oxide 6 selectively.

[0084] What is necessary is just to make into 23.5 degrees the include angle theta of the facet which explanation of drawing 1 defined, in order to control generating of the {311} facets at the time of using the silicon substrate 1 of the principal plane in the case of the epitaxial growth of the silicon of an after process {100} here.

[0085] The distance y which drawing 1 defined is SiO₂ here. It is equivalent to the sum total thickness d of a liner 10 and gate oxide 6. Therefore, SiO₂ A liner 10 and the amount x of longitudinal direction etching to the thickness of gate oxide 6 [nm] etch so that $d/x < \tan 25.3^\circ$ may be filled.

[0086] At this operation gestalt, it is SiO₂. Thickness of 10nm and gate oxide 6 is set to several nm for the thickness of a liner 10. What is necessary is here, just to set thickness of gate oxide 6 to $x > 27.5$, since it is set to at most 3nm, then $d = 13$.

[0087] Thus, SiO₂ By carrying out specified quantity etching of a liner 10 and the gate oxide 6 in a longitudinal direction, the opening of a predetermined dimension will be formed between the base of the gate side-attachment-wall SiN film 11, and a silicon substrate.

[0088].Next, as shown in drawing 4 (i), the epitaxial silicon film.(single-crystal-silicon film) 12 with a thickness of .. about 50nm is formed on the source diffusion layer 8 which removed SiO₂ liner 10 and gate oxide 6, and appeared with the gaseous-phase selection epitaxial grown method, and the drain diffusion layer 9.

[0089] Moreover, as material gas of the epitaxial silicon film 12, it is SiH₂ Cl₂, for example. It is the mixed gas of gas and HCl gas H₂ What was diluted with gas is used. Moreover, a pressure is set as the low voltage force of for example, 10Torr bases. In addition, as material gas, it is SiH₄. Gas may be used.

[0090] The epitaxial silicon film 12 is SiO₂ at the initial stage of growth of the thickness of less than 10nm. In order to touch a liner 10, the facet 13 of {311} sides is produced.

[0091] And if growth progresses and thickness exceeds 10nm, a facet 13 hides in the base of the gate side-attachment-wall SiN liner 10, and epitaxial silicon will grow, touching the side face of the gate side-attachment-wall SiN film 11.

[0092] Therefore, in a gate edge soffit, the epitaxial silicon film 12 is the phase of growth where the thickness exceeded 10nm, and does not produce a facet.

[0093] However, in order to make it not produce a facet, the thickness from the base of the gate side-attachment-wall SiN film 11 of the epitaxial silicon film 12 needs to be less than 100nm. It is because a facet will arise even if it grows epitaxially along with the SiN film if set to 100nm or more.

[0094] In addition, although the epitaxial silicon film 12 is formed also on the gate electrode 7, since the gate electrode 7 which is a substrate is the polycrystalline silicon film, the polycrystalline silicon film on this gate electrode 7 does not turn into single-crystal-silicon film like the epitaxial silicon film 12 on the source diffusion layer 8 and the drain diffusion layer 9.

[0095] Moreover, although signs that the epitaxial silicon film 12 is growing are drawn in drawing also on the oxide

film 3 which is an isolation insulator layer, it cannot be made to grow up on an oxide film 3, either.

[0096] Next, as shown in drawing 4 (j), the gate electrode 7 and the gate side-attachment-wall SiN film 11 are used as a mask, impurity ion is injected into a substrate front face, annealing is performed after an appropriate time, and the deep source diffusion layer 14 and the drain diffusion layer 15 are formed in self align with high high impurity concentration rather than the source diffusion layer 8 and the drain diffusion layer 9. The conditions of an ion implantation are BF₂. If it is an ion implantation, acceleration voltage is 40KeV(s) and dose 3x10¹⁵cm⁻².

[0097] Since there is no FASSETO in the epitaxial silicon film 12 of the part which touched the gate side-attachment-wall SiN film 11, it is not formed in the source diffusion layer 14 and the drain diffusion layer 15 which were deep in the gate edge which caused a short channel effect and junction leakage current, and had the field of high high impurity concentration.

[0098] Next, as shown in drawing 4 (k), after forming the metal silicide film 16 in self align using the usual Salicide technique, an interlayer insulation film 17 is deposited on the whole surface.

[0099] Finally, opening of the contact hole is carried out to an interlayer insulation film 17, the aluminum wiring (a source electrode, drain electrode) 18 is formed, and the MOS transistor which has EREBETEDDO source drain structure is completed.

[0100] In addition, although all the epitaxial silicon film 12 was silicide-ized and the metal silicide film 16 was formed, only the upper part of the epitaxial silicon film 12 may be changed into the metal silicide film 16 here.

[0101] According to [as stated above] this operation gestalt, it is SiO₂ as a liner. The gate side-attachment-wall SiN film 11 is used as a liner 10 and a gate side-attachment-wall insulator layer. Furthermore, it is SiO₂ of the base of the gate side-attachment-wall SiN film 11. After carrying out specified quantity clearance of the liner 10 in a longitudinal direction and forming the opening of a predetermined dimension between the base of the gate side-attachment-wall SiN film 11, and a silicon substrate 1 By [of silicon] carrying out epitaxial growth, the epitaxial silicon film 12 which does not have a facet in the part which touched the gate side-attachment-wall SiN film 11 can be formed now.

[0102] Therefore, since it is not necessary to form a diffusion layer with the deep high high impurity concentration in the gate edge which caused a short channel effect and junction leakage current by injecting impurity ion into a substrate front face through the epitaxial silicon film 12 without this facet, and forming the source diffusion layer 14 and the drain diffusion layer 15, a detailed MOS transistor without the problem of a short channel effect or junction leakage current can be realized.

[0103] Next, the 2nd operation gestalt of the semiconductor device which has the EREBETEDDO source drain structure of this invention, and its manufacture approach is explained.

[0104] Drawing 5 (a) thru/or drawing 5 (c) are the sectional views of each process showing the manufacture approach of an MOS transistor of having EREBETEDDO source drain structure.

[0105] In addition, the same sign is given to drawing 2 thru/or drawing 4 .. and a corresponding part, and explanation of the configuration is omitted.

[0106] The point that this 2nd operation gestalt differs from the 1st operation gestalt is to have used the SiON liner 19 instead of the SiN liner 10.

[0107] The process sectional view shown in drawing 5 (a) is the same as the process sectional view obtained at the process shown in the 1st drawing 2 and drawing 3 of an operation gestalt, and the same as the 1st operation gestalt except for the point using the SiON liner 19.

[0108] To a degree SiO₂ of the field which is not covered by the gate side-attachment-wall SiN film 11 as shown in drawing 5 (b) A liner 19 and gate oxide 6 are removed. It is not necessary to etch the SiON liner 19 into a longitudinal direction at this time.

[0109] Next, as shown in drawing 5 (c), the epitaxial silicon film 12 with a thickness of about 50nm is formed on the source diffusion layer 8 and the drain diffusion layer 9 with a gaseous-phase selection epitaxial grown method.

[0110] Here, in growing up while the epitaxial silicon film 12 touches the SiON film since SiON has the same property as SiN about the epitaxial growth of silicon namely, it grows up evenly, without producing a facet like the case where it grows up touching the SiN film.

[0111] Therefore, even if the SiON liner 19 is not etched into the longitudinal direction, the epitaxial silicon layer 11 which does not have a facet as shown in drawing 5 (c) is formed.

[0112] The process which continues next is the same as the process to drawing 4 which shows the 1st operation gestalt. Also in this 2nd operation gestalt, the same effectiveness as the 1st operation gestalt is acquired.

[0113] In addition, this invention is not limited to the above-mentioned operation gestalt. For example, with the above-mentioned operation gestalt, although the case of the MOS transistor of a simple substance was explained,

this invention is applicable also to the CMOS transistor which is the device which consists of an MOS transistor from which the conductivity type of a channel differs mutually.

[0114] Next, the manufacture approach of a DAMASHIN gate transistor is explained below with reference to drawing 7 thru/or drawing 9 as the 3rd example of this invention.

[0115] By the known approach, a component field is formed in the semi-conductor substrate which consists of silicon by vadum mold isolation (STI). Although not illustrated, after, making the silicon nitride which serves as a mask through a buffer oxide film deposit on a silicon substrate for example and carrying out patterning of the resist for an imprint, the pattern of a component field is formed in a silicon nitride by RIE (Reactive Ion Etching).

[0116] Next, after removing a resist, the silicon substrate of a component isolation region is etched by using a silicon nitride as a mask. Next, insulator layers, such as silicon oxide, are made to deposit on a component isolation region, and flattening is carried out to the silicon nitride top face which is a mask in CMP (Chemical Mechanical Polishing) etc.

[0117] Then, a component field and a component isolation region are formed by removing a silicon nitride and a buffer oxide film. High impurity concentration of the channel part of a transistor is adjusted by pouring in an impurity all over a transistor formation field if needed.

[0118] The buffer oxide film 21 is formed on silicon substrate top 20, and amorphous, or polycrystalline silicon 22 and the silicon nitride 23 is made to deposit in order, as shown in drawing 7 (a).

[0119] Apply a resist, the part which should form a gate electrode is made to imprint a gate pattern, and it is with the silicon nitride 23 to a mask about it. The dummy gate 24 is formed by performing anisotropic etching of polycrystalline silicon 22.

[0120] Next, for example, let the dummy gate be a mask on 10keV(s) and about [5x10¹⁴ cm⁻²] conditions using BF₂ gas. B An ion implantation is performed and the field which should turn into a part of source field and drain field and which is called LDD (Lightly Doped Drain) is formed.

[0121] Next, let this be the liner layer 25 by depositing about 10nm SiO₂ using LP-CVD method etc., or oxidizing. Subsequently, an about 70nm SiN layer is deposited with sufficient coat nature to the liner layer 25 with LP-CVD method etc., and it leaves SiN only to a gate side attachment wall by RIE, and considers as the SiN gate side attachment wall 26.

[0122] The above-mentioned oxide film liner layer 25 plays the role of the etching stopper at the time of carrying out RIE of the SiN.

[0123] In addition, as shown in drawing 7 (a), if SiN is thoroughly etched only by leaving the gate side attachment wall 26, the SiO two-layer which is the liner layer 25 may be etched a little, but if the liner layer 25 remains, the Si substrate 20 can be protected from RIE and will not generate a damage.

[0124] Then, for epitaxial growth, although Si selection epitaxial growth is performed, since it is required for an epitaxial layer to inherit the crystallinity of a substrate, it is necessary to remove SiO₂ which remains on a source drain.

[0125] Then, it is based on etching by rare fluoric acid etc. in front of epitaxial growth, and SiO₂ on a source drain is removed beforehand.

[0126] In isotropic etching like the wet processing by rare fluoric acid etc., not only the natural oxidation film on a source drain but the oxide film of the pars basilaris ossis occipitalis of the SiN gate side attachment wall 26 is etched. (Drawing 7 (b))

What is necessary is just to make into 23.5 degrees theta which drawing 1 defined in the above-mentioned example, in order to suppress generation of the {311} facets at the time of using {100} substrates.

[0127] y which drawing 1 defined is equivalent to the thickness of SiO₂ liner 25 of this example. Therefore, the amount x of longitudinal direction etching is $x > 21\text{nm}$ from $10 - /x < \tan 25.3$ to 10nm in thickness of SiO₂ liner 25. It etches so that it may fill.

[0128] An about 50nm epitaxial Si layer is successively formed in a source drain field selectively with a gaseous-phase selection epitaxial grown method. Although this example shown by drawing 7 (c) describes the case where epitaxial growth is performed in the low voltage ambient atmosphere of 10Torr bases, using the mixed gas which diluted SiH₂Cl₂/HCl with H₂, even when SiH₄ grade is used, it is possible to apply this invention effectively.

[0129] In the initial stage of growth of the thickness of epitaxial Si of less than 10nm, since the epitaxial Si film touches SiO₂ liner 25, the facet 28 of {311} sides produces it, but in the initial stage of the growth in the event of exceeding less than 10nm of thickness, in order that a facet 28 may hide in the pars basilaris ossis occipitalis of the SiN gate side attachment wall 26, when it has thickness 10nm or more, a facet 28 does not produce epitaxial Si of the part which touched the SiN gate side attachment wall 26.

[0130] then — for example, — BF₂ gas — using — 40keV(s) and about [3x10¹⁵cm⁻²] 2 The ion implantation of B is performed into epitaxial Si film 27 part, in order to form low resistance, using the dummy gate 24 and the SiN side attachment wall 26 as a mask, annealing is performed after an ion implantation, and a source diffusion layer and a drain diffusion layer are formed on a silicon substrate as a high concentration diffusion layer.

[0131] In addition, silicide can also be formed in an epitaxial Si partial top face in order to form a source drain diffusion layer part into low resistance. In this case, a silicide formation process may be before the ion implantation of a diffusion layer.

[0132] Since the epitaxial Si film which does not have a facet by this invention is selectively formed on the source drain, and a deeper ion implantation does not go into the substrate between the SiN side attachment wall 26 and the epitaxial Si film 27, it becomes possible for anomalous diffusion not to happen and to acquire a good property with little junction leak, proof-pressure degradation between source drains, etc. After this, after making the interlayer insulation films 29, such as TEOS, deposit on the whole surface as shown in drawing 8 (d), while carrying out flattening of the interlayer insulation film 29 by CMP etc., the silicon nitride of the top face on the dummy gate 24 is exposed.

[0133] Subsequently, as shown in drawing 8 (e), it is the silicon nitride SiN 23 by heat phosphate treatment. After removing, CDE (Chemical Dry Etching) removes the polycrystalline silicon 22 of the dummy gate 24.

[0134] In a part for the slot which removed the dummy gate 24, a silicon substrate surface is exposed by removing the silicon oxide 21 formed as a buffer using rare fluoric acid processing.

[0135] The partial enlarged drawing of said SiN side-attachment-wall 26 lower base at this time is shown in drawing 9 (g). Next, gate dielectric film 31 is formed by oxidizing a silicon substrate surface or making an insulator layer (for example, tantalum oxide) deposit, as shown in drawing 8 (f).

[0136] The volume phases 30, such as a nitrated case, may be formed between silicon substrates by the case. The elements on larger scale of said gate dielectric film 31 at this time and the lower base of said SiN side attachment wall 26 are shown in drawing 9 (h).

[0137] As shown in drawing 9 (i), the gate wolfram electrode 33 is embedded in a slot by forming a tungsten in a part for a slot and carrying out flattening by CMP etc., after making titanium nitride form as reaction prevention film 32, if a gate ingredient is used as a metaled tungsten in this example. At this time, the top face is finished evenly.

[0138] in addition, said gate dielectric film — for example, — Ta₂O₅ It changes and a dielectric constant is higher than silicon oxide.

[0139] In case the silicon nitride SiN 23 is removed after the process shown in above-mentioned drawing 8 (d), the upper part of said SiN side attachment wall 26 is exposed from a front face, and etching clearance may be simultaneously carried out. In that case, a gate electrode is embedded in the upper part of said SiN side attachment wall 26.

[0140] However, since that etching depth remains in thickness extent of the SiN film also in this case, it is not etched even, so that the epitaxial Si film 27 is touched, and does not connect too hastily with a gate electrode. Therefore, the leakage current between the gate sources and between gate drains does not increase.

[0141] After that, the usual transistor formation process is followed. That is, after making an interlayer insulation film deposit on the whole surface and carrying out patterning of a gate contact hole, a contact hole is formed by anisotropic etching.

[0142] After forming titanium nitride as a reaction prevention layer, the aluminum used as gate wiring is formed. Gate wiring is imprinted to a resist by patterning, and gate wiring is completed by removing aluminum by etching.

[0143] According to the 3rd example which shows the manufacture approach of the DAMASHIN gate transistor mentioned above, after high warm temperature processes about 700 degrees C or more, such as impregnation of source drain ion and annealing, and Si epitaxial growth, are completed, gate dielectric film 31 can be formed.

[0144] Moreover, an elevated-temperature process 500 degrees C or more is not needed any longer after the formation process of this gate dielectric film 31. Therefore, a good property can be acquired at an elevated-temperature process, using high dielectric films with which change of physical properties takes place, such as Ta₂O₅ and BST, as gate dielectric film.

[0145] Moreover, according to the 3rd example of the above, with the manufactured DAMASHIN gate transistor, between [a part of] the epitaxial silicon layers and gate electrodes which are a source field and a drain field serves as a cavity by the facet at the time of epitaxial silicon formation like the transistor manufactured by the manufacture approach by the 1st and 2nd example mentioned above.

[0146] For this reason, the capacity between the source gates and between source drains is reducible. At this

time, some liner film 25 remains in the lower base of said SiN side attachment wall 26.

[0147] it is not limited to the above-mentioned operation gestalt, and in the range which does not deviate from the summary of this invention, this invention is boiled variously, it can deform and can be carried out.

[0148] For example, etchback can also be formed although CMP is used for flattening of an interlayer film and a gate ingredient.

[0149] Moreover, about a gate part, a gate electrode may be formed by patterning and etching, without performing flattening by CMP. Not only a tungsten but other metals, such as aluminum and copper, are possible for a gate electrode.

[0150] Moreover, as reaction prevention film, a nitriding tungsten and tantalum nitride are sufficient besides titanium nitride. In addition, in the case of the polycrystalline silicon with which the electrode itself included not a metal but Lynn, the reaction prevention film is not needed. Gate dielectric film should just be an insulator layer not only with tantalum oxide but a high dielectric constant. Moreover, when the dummy gate is removed, local threshold adjustment can also be performed by carrying out an ion implantation over a buffer oxide film. Not only B but P is sufficient as the impurity which carried out the ion implantation in order to form a diffusion layer.

[0151] It is B when forming P-diffusion layer. It is realizable by using BF2 grade.

[0152] In addition, ion-implantation conditions differ in each ion kind.

[0153] In addition, in the range which does not deviate from the summary of this invention, it deforms variously and can carry out.

[0154]

[Effect of the Invention] As explained above, according to the semiconductor device which forms the MOS transistor which has the EREBETEDDO source drain structure of this invention, and its manufacture approach, generating of a short channel effect and junction leakage current is controlled.

[0155] Moreover, according to the semiconductor device with which the DAMASHIN gate transistor which has the EREBETEDDO source drain structure of this invention is formed, and its manufacture approach, the capacity between the source gates and between source drains can be reduced, and a good property with still less junction leak and proof-pressure degradation between source drains is acquired.

[Translation done.]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely...

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The sectional view expanding and showing the MOS transistor which has the EREBETEDDO source drain structure concerning this invention, and its part.

[Drawing 2] Each process sectional view showing the manufacture approach of an MOS transistor of having the EREBETEDDO source drain structure concerning the 1st operation gestalt of this invention.

[Drawing 3] Each process sectional view showing the manufacture approach of the MOS transistor following the production process shown in drawing 2.

[Drawing 4] Each process sectional view showing the manufacture approach of the MOS transistor following the production process shown in drawing 3.

[Drawing 5] Each process sectional view showing the manufacture approach of an MOS transistor of having the EREBETEDDO source drain structure concerning the 2nd operation gestalt of this invention.

[Drawing 6] The microphotography in which the detailed pattern formed on the substrate equivalent to the EREBETEDDO source film and drain film of an MOS transistor which have the EREBETEDDO source drain structure concerning this invention is shown.

[Drawing 7] Each process drawing showing the manufacture approach of an MOS transistor of having the

EREBETEDDO source drain structure concerning the 3rd operation gestalt of this invention is shown.

[Drawing 8] Each process drawing showing the manufacture approach of the MOS transistor following the production process shown in drawing 7 is shown.

[Drawing 9] The partial expanded sectional view of the process sectional views shown in drawing 8 and a final process sectional view are shown.

[Drawing 10] The sectional view of the MOS transistor which has the conventional EREBETEDDO source drain structure is shown.

[Drawing 11] The sectional view of the MOS transistor which has the EREBETEDDO source drain structure for explaining the outline of this invention.

[Drawing 12] Each sectional view in which it is shown like the growth fault of the EREBETEDDO source film of the MOS transistor which has the EREBETEDDO source drain structure shown in drawing 11, and the EREBETEDDO drain film.

[Drawing 13] The microphotography in which the detailed pattern formed on the substrate equivalent to the EREBETEDDO source film and drain film of an MOS transistor which have the EREBETEDDO source drain structure shown in drawing 12 is shown.

[Description of Notations]

- 1 -- Silicon substrate
 - 7 -- Gate electrode
 - 10 -- Liner film
 - 11 -- Gate side-attachment-wall insulator layer
 - 12 -- Epitaxial insulator layer
 - 13 -- Facet
 - 16 -- Metal silicide film
 - 20 -- Silicon substrate
 - 24 -- Dummy gate
 - 25 -- SiO₂ liner
 - 26 -- SiN gate side attachment wall
 - 27 -- Epitaxial Si film
 - 28 -- Facet
 - 31 -- Gate dielectric film
 - 32 -- Reaction prevention film
-

[Translation done.]

BEST AVAILABLE COPY

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-49348

(P2000-49348A)

(43)公開日 平成12年2月18日 (2000.2.18)

(51)Int.Cl.⁷

H 01 L 29/78
21/336

識別記号

F I

H 01 L 29/78

テマコード(参考)

3 0 1 L
3 0 1 S

審査請求 未請求 請求項の数14 OL (全 17 頁)

(21)出願番号 特願平11-149750

(22)出願日 平成11年5月28日 (1999.5.28)

(31)優先権主張番号 特願平10-150211

(32)優先日 平成10年5月29日 (1998.5.29)

(33)優先権主張国 日本 (JP)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 宮野 清孝

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(72)発明者 水島 一郎

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(74)代理人 100058479

弁理士 鈴江 武彦 (外6名)

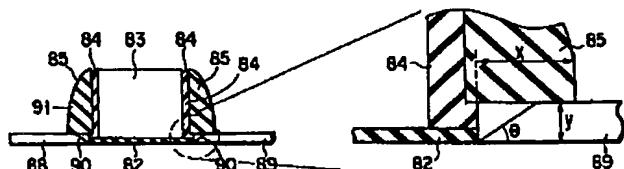
最終頁に続く

(54)【発明の名称】 エレベーテッドソース・ドレイン構造を有する半導体装置及びその製造方法

(57)【要約】

【課題】短チャネル効果及び接合リーキ電流の発生を抑制できるエレベーテッドソース・ドレイン構造を有する半導体装置を提供する。

【解決手段】エレベーテッドソース・ドレイン構造を有するMOSトランジスタが形成される半導体装置は、前記MOSトランジスタのゲート電極の側壁に形成され、かつその底面が前記シリコン基板表面から離れて第1のゲート側壁絶縁膜が形成される。この第1のゲート側壁絶縁膜と前記ゲート電極との間および前記第1のゲート側壁絶縁膜の底面に第2のゲート側壁絶縁膜が形成される。この底面に形成された部分が前記第1のゲート側壁絶縁膜の底面の内、前記ゲート電極寄りの内側底面部分に存在する。エレベーテッドソース膜及びエレベーテッドドレイン膜は、前記第1のゲート側壁絶縁膜と接した箇所において、ファセットが無い。



(2)

【特許請求の範囲】

【請求項1】シリコン基板と、

前記シリコン基板表面に絶縁膜を介して設けられたゲート電極と、
 前記シリコン基板表面のソース領域およびドレイン領域上に、少なくともそれらの表面部分が前記シリコン基板表面から迫り上げられたエレベーテッドソース膜及びエレベーテッドドレイン膜とが形成されることによって、前記ソース領域およびドレイン領域の表面が前記シリコン基板表面よりも迫り上げられた構造を持つ半導体装置であって、

前記ゲート電極の側壁に形成され、かつその底面が前記シリコン基板表面から離れて形成された第1のゲート側壁絶縁膜と、

この第1のゲート側壁絶縁膜と前記ゲート電極との間および前記第1のゲート側壁絶縁膜の底面に形成され、前記第1のゲート側壁絶縁膜の材料と異なる材料からなり、この底面に形成された部分が前記第1のゲート側壁絶縁膜の底面の内、前記ゲート電極寄りの内側底面部分に存在する第2のゲート側壁絶縁膜とより成ることを特徴とする、エレベーテッドソース・ドレイン構造を有する半導体装置。

【請求項2】前記シリコン基板と前記第2のゲート側壁絶縁膜が存在しない部分の前記第1のゲート側壁絶縁膜の底面との間には空隙が存在することを特徴とする請求項1記載のエレベーテッドソース・ドレイン構造を有する半導体装置。

【請求項3】前記空隙には、前記エレベーテッドソース膜及びエレベーテッドドレイン膜のファセットが存在し、かつこのファセットと前記シリコン基板とのなす角度をθ、前記シリコン基板と前記第1のゲート側壁絶縁膜の底面との間の距離をy、前記第2のゲート側壁絶縁膜が存在しない部分の前記第1のゲート側壁絶縁膜の底面のチャネル長方向の寸法をxとした場合に、 $y/x < \tan \theta$ の条件を満たすことを特徴とする請求項2記載のエレベーテッドソース・ドレイン構造を有する半導体装置。

【請求項4】前記シリコン基板の主面は{100}、前記ゲート電極の長手方向は前記シリコン基板の<110>方向であり、かつ前記シリコン基板と前記第2のゲート側壁絶縁膜が存在しない部分の前記第1のゲート側壁絶縁膜の底面との間には空隙が存在し、且つこの空隙には前記エレベーテッドソース膜及びエレベーテッドドレイン膜のファセットが存在し、これらファセットと前記シリコン基板とのなす角度がそれぞれ25.23°、かつ前記シリコン基板と前記第1のゲート側壁絶縁膜の底面との間の距離をy、前記第2のゲート側壁絶縁膜が存在しない部分の前記第1のゲート側壁絶縁膜の底面のチャネル長方向の寸法をxとした場合に、 $y/x < \tan(25.23^\circ)$ の条件を満たすことを特徴とする請求

2

項1記載のエレベーテッドソース・ドレイン構造を有する半導体装置。

【請求項5】シリコン基板と、

前記シリコン基板表面に絶縁膜を介して設けられるゲート電極と、
 前記シリコン基板表面のソース領域およびドレイン領域上に、少なくともそれらの表面部分が前記シリコン基板表面から迫り上げられたエレベーテッドソース膜及びエレベーテッドドレイン膜とが形成されることによって、

10 前記ソース領域およびドレイン領域の表面が前記シリコン基板表面よりも迫り上げられた構造を持つ半導体装置であって、

前記ゲート電極の側壁に形成され、且つ底面が前記シリコン基板表面から離れて形成され、且つ窒素を含むシリコン化合物からなる第1のゲート側壁絶縁膜と、
 この第1のゲート側壁絶縁膜と前記ゲート電極との間および前記第1のゲート側壁絶縁膜の底面に形成され、且つ前記シリコン化合物と異なる第2のゲート側壁絶縁膜と、を有することを特徴とする エレベーテッドソース・ドレイン構造を有する半導体装置。

【請求項6】シリコン基板上にゲート絶縁膜を介してゲート電極を形成する工程と、

前記ゲート絶縁膜および前記ゲート電極を覆うように、全面に第1の絶縁膜を形成する工程と、
 前記第1の絶縁膜上に該第1の絶縁膜と異なる材料よりなる第2の絶縁膜を形成する工程と、

30 前記第1の絶縁膜を前記シリコン基板に対してのエッティングストップに用いて前記第2の絶縁膜の表面をエッティングすることによって、前記ゲート電極の側壁に前記第1の絶縁膜を介して前記第2の絶縁膜を選択的に残置させる工程と、

前記第2の絶縁膜で覆われていない領域の前記第1の絶縁膜をエッティングすることによって除去するとともに、前記第1の絶縁膜を前記第2の絶縁膜と前記シリコン基板との間に選択的に残置させる工程と、

前記第1および第2の絶縁膜周囲の前記シリコン基板の表面を露出させた状態でシリコンのエピタキシャル成長を行って、前記第1および第2の絶縁膜周囲の前記シリコン基板上に、前記第2の絶縁膜と接する箇所にファセ

40 ットのないシリコン膜を形成する工程と、
 前記シリコン膜を介して前記シリコン基板の表面に不純物イオンを注入した後にアニールを行うことによって、前記シリコン基板の表面にソース拡散層およびドレン拡散層を形成する工程と、

前記シリコン膜の少なくとも表面部分を金属シリサイド膜に変える工程と；より成るエレベーテッドソース・ドレイン構造を有する半導体装置の製造方法。

【請求項7】シリコン基板と、

前記シリコン基板表面に形成されるゲート電極と、

50 前記シリコン基板表面のソース領域およびドレイン領域

(3)

3

上に、少なくともそれらの表面部分が前記シリコン基板表面から迫り上げられたエレベーテッドソース膜及びエレベーテッドドレイン膜が形成され、前記ソース領域およびドレイン領域の表面が前記シリコン基板表面よりも迫り上げられた構造を持つ半導体装置であって、前記ゲート電極の側壁に形成された第1のゲート側壁絶縁膜と、

この第1のゲート側壁絶縁膜と前記ゲート電極との間および前記第1のゲート側壁絶縁膜の底面に形成され、前記第1のゲート側壁絶縁膜の材料と異なる材料からなり、前記シリコン基板の表面と前記第1のゲート側壁絶縁膜の底面との間に形成され、前記ゲート電極寄りの内側底面部分に存在する第2のゲート側壁絶縁膜とを有することを特徴とするエレベーテッドソース・ドレイン構造を有する半導体装置。

【請求項8】シリコン基板と；前記シリコン基板表面に絶縁膜を介して設けられるゲート電極と；前記シリコン基板表面のソース領域およびドレイン領域上に、前記シリコン基板表面から迫り上げられたエレベーテッドソース膜及びエレベーテッドドレイン膜が形成されることによって、前記ソース領域およびドレイン領域の表面が前記シリコン基板表面よりも迫り上げられた構造を持つMOSトランジスタが形成される半導体装置であって、前記ゲート電極の側壁に形成され、かつその底面が部分的に前記シリコン基板表面から離れて形成されたゲート側壁絶縁膜と、

前記ゲート側壁絶縁膜の底面と前記シリコン基板表面との間に部分的に形成されたライナー層と、

前記ゲート電極の底面と前記シリコン基板の表面との間及び前記ゲート側壁絶縁膜の内面に形成されるゲート絶縁膜と、

前記ゲート絶縁膜を介し前記シリコン基板の露出表面上であって、前記ゲート絶縁膜で囲まれた溝内に設けられ、その上面が平坦化されたゲート電極と、より成ることを特徴とするエレベーテッドソース・ドレイン構造を有する半導体装置。

【請求項9】前記エレベーテッドソース膜及びエレベーテッドドレイン膜は、前記第1のゲート側壁絶縁膜と接した箇所において、ファセットが無いことを特徴とする、請求項1、5、7或いは8に記載のエレベーテッドソース・ドレイン構造を有する半導体装置。

【請求項10】前記シリコン基板と前記ゲート側壁絶縁膜との間には空隙が存在することを特徴とする請求項9記載のエレベーテッドソース・ドレイン構造を有する半導体装置。

【請求項11】前記空隙には、前記エレベーテッドソース膜及びエレベーテッドドレイン膜のファセットが存在し、かつこのファセットと前記シリコン基板とのなす角度を θ 、前記シリコン基板と前記第1のゲート側壁絶縁膜の底面との間の距離を y 、前記第2のゲート側壁絶縁

(3)

4

膜が存在しない部分の前記第1のゲート側壁絶縁膜の底面のチャネル長方向の寸法を x とした場合に、 $y/x < \tan \theta$ の条件を満たすことを特徴とする請求項10記載のエレベーテッドソース・ドレイン構造を有する半導体装置。

【請求項12】前記シリコン基板の正面は{100}、前記ゲート電極の長手方向は前記シリコン基板の<110>方向であり、かつ前記シリコン基板と前記ライナー層が存在しない部分の前記ゲート側壁絶縁膜の底面との間には空隙が存在し、且つこの空隙には前記エレベーテッドソース膜及びエレベーテッドドレイン膜のファセットが存在し、これらファセットと前記シリコン基板とのなす角度がそれぞれ 25.23° 、かつ前記シリコン基板と前記ゲート側壁絶縁膜の底面との間の距離を y 、前記ライナー部材のゲート側壁絶縁膜が存在しない部分の前記ゲート側壁絶縁膜の底面のチャネル長方向の寸法を x とした場合に、 $y/x < \tan(25.23^\circ)$ の条件を満たすことを特徴とする請求項8記載のエレベーテッドソース・ドレイン構造を有する半導体装置。

【請求項13】シリコン基板上にバッファ酸化膜を介してダミーゲート電極を形成する工程と、前記ダミーゲート電極をマスクとして前記シリコン基板にイオン注入を行う工程と、前記バッファ酸化膜および前記ダミーゲート電極を覆うように、全面にライナー層(SiO₂)を形成する工程と、前記ライナー層上に第1の絶縁膜を形成する工程と、前記第1の絶縁膜を全面エッチングすることによって、前記ゲート電極の側壁に前記ライナー層を介して前記第1の絶縁膜を選択的に残置させゲート側壁を形成する工程と、

前記第1の絶縁膜で覆われていない領域の前記ライナー層をエッチングすることによって除去するとともに、前記ライナー層を前記第1の絶縁膜の側壁の下底と前記シリコン基板との間に残置させる工程と、前記ライナー層及び前記第1の絶縁膜の側壁の周囲の前記シリコン基板の表面を露出させた状態でシリコンのエピタキシャル成長を行って、前記ライナー層及び前記第1の絶縁膜の側壁の周囲の前記シリコン基板上にシリコン膜を形成する工程と、

前記シリコン膜を介して前記シリコン基板の表面に不純物イオンを注入した後にアニールを行うことによって、前記シリコン基板の表面にソース拡散層およびドレイン拡散層を形成する工程と、

前記ダミーゲート電極、前記ライナー層、及び前記第1の絶縁膜の側壁上に層間絶縁膜を堆積した後、前記層間絶縁膜表面を平坦化し、前記ダミーゲート電極表面を露出する工程と、

前記ダミーゲート電極、次いで前記バッファ酸化膜を除去し前記シリコン基板表面を露出する工程と、

前記露出されたシリコン基板表面及び前記第1の絶縁膜

(4)

5

の側壁内面にゲート絶縁膜を形成する工程と、前記シリコン基板の露出表面上であつて、前記ゲート絶縁膜で囲まれた溝内に、その上面が平坦化されたゲート電極を埋め込む工程と、より成るエレベーテッドソース・ドレイン構造を有する半導体装置の製造方法。

【請求項14】前記ゲート電極は、金属であり、更に、前記ゲート絶縁膜で囲まれた溝内に、前記ゲート電極を埋め込む工程の前に、前記シリコン基板の露出表面上の前記ゲート絶縁膜と前記ゲート電極との間に反応防止膜を介在させる工程を含むことを特徴とする請求項13に記載のエレベーテッドソース・ドレイン構造を有する半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に係り、特にソース領域およびドレイン領域が元々のシリコン基板の表面よりも迫り上げられた構造を有する半導体装置およびその製造方法に関する。

【0002】MOS型集積回路において、微細かつ高速な素子を実現するために、ソース拡散層およびドレイン拡散層上にC_xシリサイド膜やT_iシリサイド膜などの金属シリサイド膜を自己整合的に形成するサリサイド(SALICIDE: Self Aligned Silicide)技術が開発されている。

【0003】一方、微細化が進むにつれソース拡散層およびドレイン拡散層をこれまで以上に基板表面から浅く形成する必要が生じている。

【0004】ところが、上記のようなSALICIDE技術を微細化された素子に適用することを考えると、高融点金属膜とシリコン基板とのシリサイド化反応が、高融点金属膜がシリコン基板のシリコンを消費しながら進むことから、基板表面からの浅い領域でのウエルとソース領域、又はドレイン領域との接合(ジョイント)を形成することは困難なものとなる。

【0005】この問題を解決するために、シリコン基板表面のソース領域およびドレイン領域上にエピタキシャルシリコン膜を形成することによって、ソース領域およびドレイン領域の表面を元々のシリコン基板の表面よりも迫り上げることが行われている。

【0006】次いで、エピタキシャルシリコン膜を介して基板表面に不純物イオンを注入し、次に高融点金属膜を堆積してシリサイド化反応を行うことで、低抵抗のソース領域およびドレイン領域を形成すると同時に、元々の基板表面からの浅い領域に接合を形成することが提案されている。

【0007】このようにソース領域およびドレイン領域上にシリコンをエピタキシャル成長させ、ソース領域およびドレイン領域の表面を元々のシリコン基板の表面よりも迫り上げる技術は、エレベーテッドソース・ドレイン技術と呼ばれている。

6

【0008】また、ソース領域およびドレイン領域が元々の基板表面よりも迫り上げられた構造のことを以下エレベーテッドソース・ドレイン構造という。

【0009】図10に、従来のエレベーテッドソース・ドレイン構造を有するMOSトランジスタの断面図を示す。

【0010】シリコン基板81上にはゲート酸化膜82を介してポリシリコンからなるゲート電極83が形成されている。このゲート電極83の側壁にはSiO₂ライナー84を介して窒化シリコン(SiN)からなるゲート側壁SiN膜85が形成されている。

【0011】また、シリコン基板81の表面にはソース拡散層86およびドレイン拡散層87が自己整合的に形成されている。これらのソース拡散層86およびドレイン拡散層87上にはそれぞれ単結晶シリコンからなるソースシリコン膜88およびドレインシリコン膜89がエピタキシャル成長法によって形成されている。

【0012】しかし、この種のエレベーテッドソース・ドレイン構造を有するMOSトランジスタには、以下のようないわゆる問題があった。

【0013】すなわち、エレベーテッドソース膜88およびエレベーテッドドレイン膜89は、ゲート側壁SiN膜85のそれぞれの下端において、ファセット90が生じるため、その箇所でソース領域およびドレイン領域の迫り上げが不十分となる。

【0014】そのため、エレベーテッドソース膜88およびエレベーテッドドレイン膜89を介して不純物イオンを基板表面に注入し、ソース拡散層86およびドレイン拡散層87を形成する際に、迫り上げが不十分どころではソース拡散層86およびドレイン拡散層87は深くて高不純物濃度のものとなる。

【0015】その結果、トランジスタ駆動時にチャネル領域に生じる電場によりチャネル領域に空乏層が形成され、|V_{th}| (しきい値電圧の絶対値)の低下やソースードレイン間の耐圧が低下する。すなわち、短チャネル効果の問題が生じる。

【0016】さらに、ファセットの生じた箇所では基板表面からの浅い領域での接合が形成できなかったために、そこで接合リーアク電流が生じ、これがトランジスタの特性を著しく劣化させる原因となっていた。

【0017】上述の如く、SALICIDE技術を微細化されたMOSトランジスタに適用する場合を考えると、高融点金属膜がシリコン基板のシリコンを消費しながら進むことから、浅い接合を形成することは困難なものとなる。

【0018】そこで、エレベーテッドソース・ドレイン構造を持ったMOSトランジスタがこれまでに提案された。すなわち、ソース領域およびドレイン領域上にエピタキシャルシリコン膜を形成し、ソース領域およびドレイン領域の表面を元々の基板表面よりも迫り上げてから、不

(5)

7

純物イオンの注入、シリサイド反応を行うことによつて、低抵抗かつ接合の浅いソース拡散層およびドレイン拡散層を形成することが提案された。

【0019】しかしながら、エピタキシャルシリコン膜はゲートエッジ下端においてファセットが生じるため、その箇所でソース領域およびドレイン領域の迫り上げが不十分となる。

【0020】その結果、迫り上げが不十分どころでは、深いソース拡散層およびドレイン拡散層は深くて高不純物濃度のものとなるため、短チャネル効果が生じるという問題があった。さらに、ファセットの生じた箇所では浅い接合が形成されないために、そこで接合リーキ電流が生じるという問題が指摘されていた。

【0021】

【発明が解決しようとする課題】本発明は、上記事情を考慮してなされたもので、その目的とすることとは、短チャネル効果および接合リーキ電流の発生が抑制されたエレベーテッドソース・ドレイン構造を有する半導体装置およびその製造方法を提供することにある。

【0022】又、本発明の他の目的は、ソース・ゲート間及びソース・ドレイン間の容量を削減でき、更に接合リーキやソース・ドレイン間の耐圧劣化の少ない良好な特性が得られるエレベーテッドソース・ドレイン構造を有する半導体装置及びその製造方法を提供することにある。

【0023】

【課題を解決するための手段】本発明は、上記目的を達成するため、以下のように構成されている。

【0024】本発明のエレベーテッドソース・ドレイン構造を有する半導体装置（請求項1）は、シリコン基板と、前記シリコン基板表面に絶縁膜を介して設けられるゲート電極と、前記シリコン基板表面のソース領域およびドレイン領域上に、少なくともそれらの表面部分が前記シリコン基板表面から迫り上げられたエレベーテッドソース膜及びエレベーテッドドレイン膜とが形成されることによって、前記ソース領域およびドレイン領域の表面が前記シリコン基板表面よりも迫り上げられた構造を持つ半導体装置であって、前記ゲート電極の側壁に形成され、かつその底面が前記シリコン基板表面から離れて形成された第1のゲート側壁絶縁膜と、この第1のゲート側壁絶縁膜と前記ゲート電極との間および前記第1のゲート側壁絶縁膜の底面に形成され、前記第1のゲート側壁絶縁膜の材料と異なる材料からなり、この底面に形成された部分が前記第1のゲート側壁絶縁膜の底面の内、前記ゲート電極寄りの内側底面部分に存在する第2のゲート側壁絶縁膜と；より成ることを特徴とする。

【0025】このとき、前記シリコン基板と前記第2のゲート側壁絶縁膜が存在しない部分の前記第1のゲート側壁絶縁膜の底面との間（請求項2）には空隙が存在する。この空隙には前記エレベーテッドソース膜及びエレ

(5)

8

ベーテッドドレイン膜のファセットが存在し、かつこのファセットと前記シリコン基板とのなす角度を θ 、前記シリコン基板と前記第1のゲート側壁絶縁膜の底面との間の距離をy、前記第2のゲート側壁絶縁膜が存在しない部分の前記第1のゲート側壁絶縁膜の底面のチャネル長方向の寸法をxとした場合に、 $y/x < \tan \theta$ の条件を満たす（請求項3）ことを特徴としている。

【0026】このとき、前記シリコン基板（請求項4）の主面は{100}、前記ゲート電極の長手方向は、前記シリコン基板の<110>方向であり、かつ前記シリコン基板と前記第2のゲート側壁絶縁膜が存在しない部分の前記第1のゲート側壁絶縁膜の底面との間には空隙が存在し、且つこの空隙には前記エレベーテッドソース膜及びエレベーテッドドレイン膜のファセットが存在し、これらファセットと前記シリコン基板とのなす角度がそれぞれ25.23°、かつ前記シリコン基板と前記第1のゲート側壁絶縁膜の底面との間の距離をy、前記第2のゲート側壁絶縁膜が存在しない部分の前記第1のゲート側壁絶縁膜の底面のチャネル長方向の寸法をxとした場合に、 $y/x < \tan (25.23^\circ)$ の条件を満たすことを特徴としている。

【0027】又、このとき、前記第1のゲート側壁絶縁膜の材料は、窒素を含むシリコン化合物であり、前記第2のゲート側壁絶縁膜の材料は、窒素を含まないシリコン化合物であることが好ましい。

【0028】又、本発明のエレベーテッドソース・ドレイン構造を有する半導体装置（請求項5）は、シリコン基板と、前記シリコン基板表面に絶縁膜を介して設けられるゲート電極と、前記シリコン基板表面のソース領域およびドレイン領域上に、少なくともそれらの表面部分が金属シリサイド膜である導電性を有する前記シリコン基板表面から迫り上げられたエレベーテッドソース膜及びエレベーテッドドレイン膜とが形成されることによって、前記ソース領域およびドレイン領域の表面が前記シリコン基板表面よりも迫り上げられた構造を持つ半導体装置であって、前記ゲート電極の側壁に形成され、且つ底面が前記シリコン基板表面から離れて形成され、且つ窒素を含むシリコン化合物からなる第1のゲート側壁絶縁膜と、この第1のゲート側壁絶縁膜と前記ゲート電極との間および前記第1のゲート側壁絶縁膜の底面に形成され、且つ前記シリコン化合物と異なる第2のゲート側壁絶縁膜と、を有することを特徴としている。

【0029】又、この発明のエレベーテッドソース・ドレイン構造を有する半導体装置の製造方法（請求項6）は、シリコン基板上にゲート絶縁膜を介してゲート電極を形成する工程と、前記ゲート絶縁膜および前記ゲート電極を覆うように、全面に第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に該第1の絶縁膜の材料よりも速いエッチング速度でエッチングできる材料からなる第2の絶縁膜を形成する工程と、前記第1の絶縁膜を前記

(6)

9

シリコン基板に対してのエッチングストップに用いて前記第2の絶縁膜を全面エッチングすることによって、前記ゲート電極の側壁に前記第1の絶縁膜を介して前記第2の絶縁膜を選択的に残置させる工程と、前記第2の絶縁膜で覆われていない領域の前記第1の絶縁膜をエッチングすることによって除去するとともに、前記第1の絶縁膜を前記第2の絶縁膜と前記シリコン基板との間に選択的に残置させる工程と、前記第1および第2の絶縁膜周囲の前記シリコン基板の表面を露出させた状態でシリコンのエピタキシャル成長を行って、前記第1および第2の絶縁膜周囲の前記シリコン基板上に、前記第2の絶縁膜と接する箇所にファセットのないシリコン膜を形成する工程と、前記シリコン膜を介して前記シリコン基板の表面に不純物イオンを注入した後にアニールを行うことによって、前記シリコン基板の表面にソース拡散層およびドレイン拡散層を形成する工程と、前記シリコン膜の少なくとも表面部分を金属シリサイド膜に変える工程と；より成ることを特徴としている。

【0030】このとき、前記第1の絶縁膜は、窒素を含まないシリコン化合物であり、前記第2の絶縁膜は、窒素を含むシリコン化合物より成ることが好ましい。

【0031】本発明のエレベーテッドソース・ドレイン構造を有するMOSトランジスタが形成される半導体装置（請求項7）は、シリコン基板と、前記シリコン基板表面に形成されるゲート電極と、前記シリコン基板表面のソース領域およびドレイン領域上に、少なくともそれらの表面部分が前記シリコン基板表面から迫り上げられたエレベーテッドソース膜及びエレベーテッドドレイン膜とが形成され、前記ソース領域およびドレイン領域の表面が前記シリコン基板表面よりも迫り上げられた構造を持つMOSトランジスタが形成される半導体装置であって、前記MOSトランジスタのゲート電極の側壁に形成された第1のゲート側壁絶縁膜と、この第1のゲート側壁絶縁膜と前記ゲート電極との間および前記第1のゲート側壁絶縁膜の底面に形成され、前記第1のゲート側壁絶縁膜の材料と異なる材料からなり、前記シリコン基板の表面と前記第1のゲート側壁絶縁膜の底面との間に形成され、前記ゲート電極寄りの内側底面部に存在する第2のゲート側壁絶縁膜とを有することを特徴としている。

【0032】このとき、前記ゲート電極は、多結晶シリコンとシリコン窒化膜を積層して形成されることが好ましい。又、本発明のエレベーテッドソース・ドレイン構造を有する半導体装置（請求項8）は、シリコン基板と、前記シリコン基板表面に絶縁膜を介して設けられるゲート電極と、前記シリコン基板表面のソース領域およびドレイン領域上に、前記シリコン基板表面から迫り上げられたエレベーテッドソース膜及びエレベーテッドドレイン膜が形成されることによって、前記ソース領域およびドレイン領域の表面が前記シリコン基板表面よりも

10

迫り上げられた構造を持つ半導体装置であって、前記ゲート電極の側壁に形成され、かつその底面が部分的に前記シリコン基板表面から離れて形成されたゲート側壁絶縁膜と、前記ゲート側壁絶縁膜の底面と前記シリコン基板表面との間に部分的に形成されたライナー層と、前記ゲート電極の底面と前記シリコン基板の表面との間及び前記ゲート側壁絶縁膜の内面に形成されるゲート絶縁膜と、前記ゲート絶縁膜を介し前記シリコン基板の露出表面上であって、前記ゲート絶縁膜で囲まれた溝内に設けられ、その上面が平坦化されたゲート電極と、より成ることを特徴としている。

【0033】このとき、前記エレベーテッドソース膜及びエレベーテッドドレイン膜は、前記第1のゲート側壁絶縁膜と接した箇所において、ファセットが無い（請求項9）ことを特徴としている。

【0034】このとき、前記シリコン基板の露出表面上の前記ゲート絶縁膜と前記ゲート電極との間に介在される反応防止膜を更に含むことができる。

【0035】又、前記ゲート電極は、少なくとも单一の金属層から成ることが好ましい。又、このときの前記ゲート電極は、タンゲステン、Al、Cu のいずれか一つであることが好ましい。

【0036】更に、前記反応防止膜は、窒化チタン、窒化タンゲステン、窒化タンタルのいずれか一つであることが好ましい。

【0037】又、このとき、前記シリコン基板と前記ゲート側壁絶縁膜との間には空隙が存在する（請求項10）ことを特徴とする。

【0038】この空隙（請求項11）には前記エレベーテッドソース膜及びエレベーテッドドレイン膜のファセットが存在し、かつこのファセットと前記シリコン基板とのなす角度をθ、前記シリコン基板と前記ゲート側壁絶縁膜の底面との間の距離をy、前記ライナー層が存在しない部分の前記ゲート側壁絶縁膜の底面のチャネル長方向の寸法をxとした場合に、 $y/x < \tan \theta$ の条件を満たすことを特徴としている。

【0039】又、このとき、前記シリコン基板（請求項12）の正面は、{100}、前記ゲート電極の長手方向は前記シリコン基板の<110>方向であり、かつ前記シリコン基板と前記ライナー層が存在しない部分の前記ゲート側壁絶縁膜の底面との間には空隙が存在し、且つこの空隙には前記エレベーテッドソース膜及びエレベーテッドドレイン膜のファセットが存在し、これらファセットと前記シリコン基板とのなす角度がそれぞれ25.23°、かつ前記シリコン基板と前記ゲート側壁絶縁膜の底面との間の距離をy、前記ライナー部材のゲート側壁絶縁膜が存在しない部分の前記ゲート側壁絶縁膜の底面のチャネル長方向の寸法をxとした場合に、 $y/x < \tan(25.23^\circ)$ の条件を満たすことを特徴としている。

(7)

11

【0040】更に、この発明のエレベーテッドソース・ドレン構造を有する半導体装置の製造方法（請求項13）は、シリコン基板上にバッファ酸化膜を介してダミーゲート電極を形成する工程と、前記ダミーゲート電極をマスクとして前記シリコン基板にイオン注入を行う工程と、前記バッファ酸化膜および前記ダミーゲート電極を覆うように、全面にライナー層（SiO₂）を形成する工程と、前記ライナー層上に第1の絶縁膜を形成する工程と、前記第1の絶縁膜を全面エッチングすることによって、前記ゲート電極の側壁に前記ライナー層を介して前記第1の絶縁膜を選択的に残置させゲート側壁を形成する工程と、前記第1の絶縁膜で覆われていない領域の前記ライナー層をエッチングすることによって除去するとともに、前記ライナー層を前記第1の絶縁膜の側壁の下底と前記シリコン基板との間に残置させる工程と、前記ライナー層及び前記第1の絶縁膜の側壁の周囲の前記シリコン基板の表面を露出させた状態でシリコンのエピタキシャル成長を行って、前記ライナー層及び前記第1の絶縁膜の側壁の周囲の前記シリコン基板上にシリコン膜を形成する工程と、前記シリコン膜を介して前記シリコン基板の表面に不純物イオンを注入した後にアニールを行うことによって、前記シリコン基板の表面にソース拡散層およびドレン拡散層を形成する工程と、前記ダミーゲート電極、前記ライナー層、及び前記第1の絶縁膜の側壁上に層間絶縁膜を堆積した後、前記層間絶縁膜表面を平坦化し、前記ダミーゲート電極表面を露出する工程と、前記ダミーゲート電極、次いで前記バッファ酸化膜を除去し前記シリコン基板表面を露出する工程と、前記露出されたシリコン基板表面及び前記第1の絶縁膜の側壁内面にゲート絶縁膜を形成する工程と、前記シリコン基板の露出表面上であって、前記ゲート絶縁膜で囲まれた溝内に、その上面が平坦化されたゲート電極を埋め込む工程と、より成ることを特徴とする。このとき、前記ゲート電極（請求項14）は、金属であり、更に、前記ゲート絶縁膜で囲まれた溝内に、前記ゲート電極を埋め込む工程の前に、前記シリコン基板の露出表面上の前記ゲート絶縁膜と前記ゲート電極との間に反応防止膜を介在させる工程を含むことを特徴としている。

【0041】

【発明の実施の形態】以下本発明の一実施例について説明する前に、本発明の概要を図11及び図12を参照して説明する。

【0042】図11は、エレベーテッドソース・ドレン構造を有するMOSトランジスタの要部断面図、エレベーテッドソース膜、および図12（a）乃至図12（d）は、エレベーテッドドレン膜の成長過程を示す各断面図である。

【0043】本発明者らは、エレベーテッドソース・ドレン構造を持ったMOSトランジスタのファセットの発生は、ゲートエッジやSTI（Shallow T

(7)

12

encl Isolation）エッジ等におけるSiO₂膜との境界部分で起こることを明らかにした。

【0044】例えば、ゲート側壁絶縁膜の材料として通常のSiO₂を用いた場合には、図11に示すように、エレベーテッドソース膜88およびエレベーテッドドレン膜89（エピタキシャルシリコン層）は、ゲート側壁SiO₂膜91（ゲートエッジ）に接した箇所で〔311〕結晶面からなるファセット90を生じることが明らかになっている。

【0045】例えば、図12（a）に示すように、ゲート電極83の側壁にSiO₂ライナー84を介してゲート側壁SiN膜85が形成されていて、ソース領域およびドレン領域の基板表面が露出した状態で、シリコンの選択エピタキシャル成長を行う。

【0046】そうすると、図12（b）に示すように、エレベーテッドソース膜88およびエレベーテッドドレン膜89（エピタキシャルシリコン膜）が当初ゲート酸化膜82（SiO₂膜）に沿って成長する。

【0047】しかる後、SiO₂ライナー84に沿って成長するため、ゲート酸化膜82とSiO₂ライナー84とのエッジで構成される実質的にSiO₂膜のエッジに沿ってエピタキシャル成膜した場合と等しくなる結果、ゲートエッジ下端で〔311〕面からなるファセット90が生じてしまう。

【0048】次に図12（b）に示す状態を保持しながらシリコンのエピタキシャル成長を続けると、図12（c）に示すように、ファセット面がゲート側壁SiN膜85の底面端部に接触し、そのファセット面の一部は、ゲート側壁SiN膜85の外部に露出することとなる。

【0049】図13は、これを証明する実験結果を示す顕微鏡写真（SEM像）である。

【0050】SiN膜（厚さ：240nm）/SiO₂膜（厚さ：50nm）のパターン上にシリコンをエピタキシャル成長させ、（図12（b）の状態に相当する）その後さらにシリコンのエピタキシャル成長を続けた場合に得られるの顕微鏡写真である。

【0051】図12（c）及び図13から明らかに、ファセット面はエピタキシャル成長が続いている間は常に表面が露出しているため、ファセット90が消えることなくシリコンがエピタキシャル成長してしまう。

【0052】その結果、図12（d）に示すように、ゲートエッジ下端にファセット90を有するエレベーテッドソース膜88およびエレベーテッドドレン膜89が形成されることになる。

【0053】本発明は、図12（a）乃至図12（d）を参照して述べたゲートエッジでのファセット90の発生を抑制するために、ゲート側壁絶縁膜85の材料とゲート側壁絶縁膜85のエッジ下端の形状（構造）を工夫することによって、前述したファセットの発生を抑制

(8)

13

するものである。

【0054】以下図面を参照して、本発明の第1の実施例について説明する。

【0055】まず、材料上の特徴を述べる。本発明では、ゲート側壁絶縁膜の材料として、窒化シリコン(SiN)または窒化酸化シリコン(SiON)等の窒素を含む絶縁材料を用いる。

【0056】何故なら、この種の絶縁材料を用いた場合には、エレベーテッドソース膜およびエレベーテッドドレイン膜(エピタキシャルシリコン膜)のそれぞれの膜厚が約100nm未満ではファセットが生じないことが本発明者らの研究で明らかになったからである。

【0057】次に形状(構造)上の特徴を述べる。

【0058】ここでは、SiNからなるゲート側壁絶縁膜(ゲート側壁SiN膜)を用いた場合について説明す*

$$\text{(ゲート側壁SiN膜の底面とシリコン基板との間の距離 } y \text{) } / \text{(横方向エッ}\chi\text{チング量 } x \text{) } < \tan \theta$$

… (式1)

となるように、横方向エッチング量x、言い換えればSiO₂ライナー84が形成されない部分のゲート側壁SiN膜85の底面のチャネル長方向の寸法を制御することで、図1に示した構造を得ることができる。θの値は発生するファセットの結晶面が分かれば求めることができる。

【0063】例えば、通常の半導体プロセスで用いられる{100}ウェハー上に形成された<110>方向のパターン上にシリコンを気相エピタキシャル成長させの場合には、パターンエッジにおいて{311}面がファセットとして優先的に発生するため、θ=25°、23°とすれば良い。

【0064】さらに詳しく述べると、実際に発生するファセット面が、{311}面と、{311}面より急峻な面との複合面となった場合には、他に発生するファセット面が{311}面よりも急峻なファセット角(上記で定義したθ)を有する場合においては、{311}面のみが発生すると仮定して(式1)に従って横方向エッチング量x、SiO₂ライナーの厚さyを決定すれば十分である。

【0065】以上のようにしてゲート側壁SiN膜85の下端部においてファセットのないエピタキシャルシリコン層を形成することができる。

【0066】図6は、実際に(式1)を満足している場合には、SiN膜に接触した箇所ではファセットが生じていないことを示す顕微鏡写真(断面SEM像)を示す。このとき、SiN膜(厚さ：240nm)/SiO₂膜(厚さ：50nm)のパターン上にシリコンをエピタキシャル成長させた実験試料を用いている。

【0067】一方、ライナー材料としてSiONを用いた場合にはSiONはSiNと同じ性質を持っているので、以上のようなSiO₂ライナーの横方向エッチングによるゲート側壁SiN膜の底部の形状制御(パラメー

(14)

*る。

【0059】先ず、図1において、シリコン基板上であって、ゲート側壁SiN膜85の下部に在るSiO₂ライナー84を希フッ酸水溶液等を用いて横方向にエッティング除去する。

【0060】この後、シリコン基板上のシリコン層に選択エピタキシャル成長を行なわせると、SiO₂ライナー84に接触して形成されたファセット90の上端部がゲート側壁SiN膜85の底面に接触する。

【0061】このため、ファセット90の面が、ゲート側壁SiN膜85の底面に隠れ、ゲート側壁SiN膜85の外側に露出せず、以降の成長においてファセット90の成長を防ぐことができる。

【0062】拡大図で示すように、このとき発生するファセット90の角度をθとすると、

$$\text{(ゲート側壁SiN膜の底面とシリコン基板との間の距離 } y \text{) } / \text{(横方向エッ}\chi\text{チング量 } x \text{) } < \tan \theta$$

タx、y、θの制御)によらずに、ファセットの発生を抑制することもできる。

【0068】したがって、この場合には、ゲート側壁SiN膜85の底部の形状に注意する必要はない。

【0069】次に、本発明の具体的な第一の実施の形態について、図2乃至図4を参照して説明する。

【0070】図2乃至図4は、本発明の第1の実施形態に係るエレベーテッドソース・ドレイン構造を有するMOSトランジスタの製造方法を示す各工程断面図である。

【0071】まず、図2(a)に示すように、主面が{100}のシリコン基板1の表面にAs(砒素)イオンを注入し、続いてアニールを行うことによって、深さ1μm程度のn型ウェル2を形成する。

【0072】次に図2(b)に示すように、シリコン基板1の表面に浅いトレンチを形成し、このトレンチの内部を酸化膜3で埋め込むことによってSTI(Silicon Trench Isolation)によって、MOSトランジスタの形成領域を規定する素子分離領域を形成する。酸化膜3の膜厚(トレンチの深さ)は、例えば600nm程度である。

【0073】次に図2(c)に示すように、厚さ10nm程度の保護酸化膜4を例えれば熱酸化によって基板表面に形成した後、MOSトランジスタのしきい値電圧を調整するために、保護酸化膜4を介して基板表面に不純物イオン5を注入する。この後、保護酸化膜4を剥離する。

【0074】次に図2(d)に示すように、厚さ数nm程度のゲート酸化膜6を熱酸化によって形成した後、このゲート酸化膜6上に多結晶シリコンからなるゲート電極7を形成する。このゲート電極7の長手方向はシリコン基板1の<110>方向に沿っている。

【0075】ゲート電極7の具体的な形成方法は以下の

(9)

15

通りである。すなわち、ゲート酸化膜6上にゲート電極7となる厚さ200nmの多結晶シリコン膜をCVD法等によって堆積した後、この多結晶シリコン膜上にフォトレジストパターンを形成し、これをマスクにして多結晶シリコン膜をエッチングすることにより形成する。

【0076】次に図3(e)に示すように、ゲート電極7をマスクにして不純物イオンを基板表面に注入し、かかる後アニールを行って、低不純物濃度の浅いソース拡散層8およびドレイン拡散層(LDD)9を自己整合的に形成する。

【0077】イオン注入の条件は、例えばBF₂のイオン注入であれば、加速電圧は10KeV、ドーズ量 $5 \times 10^{14} \text{ cm}^{-2}$ である。

【0078】次に図3(f)に示すように、全面にSiO₂からなる厚さ10nmのSiO₂ライナー10をLPCVD法により堆積し、続いてLPCVD法によりSiO₂ライナー10上に厚さ70nm程度のシリコン窒化膜11を被覆性良く堆積する。

【0079】SiO₂ライナー10は、後工程でエッチングストップに用いるので、SiO₂ライナー10の膜厚は10nm程度以上の膜厚を要する。

【0080】次に図3(g)に示すように、SiO₂ライナー10をシリコン基板1に対してのエッティングストパーに用いて、シリコン窒化膜11の全面をRIE法にてエッチングし、ゲート電極7の側壁にSiO₂ライナー10を介してシリコン窒化膜11を選択的に残置させる。以下、この残ったシリコン窒化膜11をゲート側壁SiN膜11という。

【0081】なお、本実施形態では、SiO₂ライナー10が消滅しないようにエッティングを行ったが、SiO₂ライナー10の下地であるゲート酸化膜6が消滅しなければ、SiO₂ライナー10は消滅しても良い。

【0082】このようなエッティングは、ゲート酸化膜6(熱酸化膜)がSiO₂ライナー10(LPCVD膜)よりも緻密な膜であることから容易に行うことができる。

【0083】次に図3(h)に示すように、希硫酸水溶液等を用いたウエットエッティング(等方性エッティング)によって、ゲート側壁SiN膜11により覆われていない領域のSiO₂ライナー10およびゲート酸化膜6を除去するとともに、ゲート側壁SiN膜11の底面のSiO₂ライナー10およびゲート酸化膜6を横方向にエッティングすることにより、SiO₂ライナー10およびゲート酸化膜6をゲート側壁SiN膜11よりも内側の部分に選択的に残置させる。

【0084】ここで、後工程のシリコンのエピタキシャル成長の際ににおける、主面{100}のシリコン基板1を用いた場合の{311}ファセットの発生を抑制するために、図1の説明で定義したファセットの角度θを23.5°とすれば良い。

(10)

16

【0085】図1で定義した距離yは、ここではSiO₂ライナー10とゲート酸化膜6の合計膜厚dに相当する。したがって、SiO₂ライナー10およびゲート酸化膜6の膜厚に対しての横方向エッティング量x[nm]が、 $d/x < \tan 25.3^\circ$ を満たすようにエッティングを行う。

【0086】本実施形態では、SiO₂ライナー10の膜厚を10nm、ゲート酸化膜6の膜厚を数nmとしている。ここで、ゲート酸化膜6の膜厚を高々3nmとすれば、d=13となるので、x>27.5とすれば良い。

【0087】このようにしてSiO₂ライナー10およびゲート酸化膜6を横方向に所定量エッティングすることにより、ゲート側壁SiN膜11の底面とシリコン基板との間には所定寸法の空隙が形成されることになる。

【0088】次に図4(i)に示すように、気相選択エピタキシャル成長法により、SiO₂ライナー10およびゲート酸化膜6を除去して現れたソース拡散層8およびドレイン拡散層9上に厚さ50nm程度のエピタキシャルシリコン膜(単結晶シリコン膜)12を形成する。

【0089】また、エピタキシャルシリコン膜12の原料ガスとしては、例えばSiH₂Cl₂ガスとHC1ガスの混合ガスをH₂ガスで希釈したものを用いる。また、圧力は、例えば10Torr台の低圧力に設定する。なお、原料ガスとしては、SiH₄ガスを用いても良い。

【0090】エピタキシャルシリコン膜12は、その膜厚が10nm未満の成長の初期段階では、SiO₂ライナー10と接するため{311}面のファセット13を生じる。

【0091】そして、成長が進み、膜厚が10nmを越えると、ファセット13はゲート側壁SiNライナー10の底面に隠れ、エピタキシャルシリコンはゲート側壁SiN膜11の側面に接しながら成長する。

【0092】したがって、ゲートエッジ下端において、エピタキシャルシリコン膜12は、その膜厚が10nmを越えた成長の段階で、ファセットを生じることはない。

【0093】ただし、ファセットを生じないようにするためには、エピタキシャルシリコン膜12のゲート側壁SiN膜11の底面からの膜厚は、100nm未満である必要がある。何故なら、100nm以上になると、SiN膜に沿ってエピタキシャル成長してもファセットが生じるからである。

【0094】なお、ゲート電極7上にもエピタキシャルシリコン膜12が形成されるが、このゲート電極7上の多結晶シリコン膜は、下地であるゲート電極7が多結晶シリコン膜であることから、ソース拡散層8およびドレイン拡散層9上のエピタキシャルシリコン膜12のような単結晶シリコン膜とはならない。

(10)

17

【0095】また、図には、素子分離絶縁膜である酸化膜3上にもエピタキシャルシリコン膜12が成長している様子が描かれているが、酸化膜3上に成長させないこともできる。

【0096】次に図4(j)に示すように、ゲート電極7、ゲート側壁SiN膜11をマスクにして、不純物イオンを基板表面に注入し、しかる後アニールを行って、ソース拡散層8およびドレイン拡散層9よりも高不純物濃度で深いソース拡散層14およびドレイン拡散層15を自己整合的に形成する。イオン注入の条件は、例えばBF₂のイオン注入であれば、加速電圧は40KeV、ドーズ量 $3 \times 10^{15} \text{ cm}^{-2}$ である。

【0097】ゲート側壁SiN膜11に接した箇所のエピタキシャルシリコン膜12にはファセットがないので、短チャネル効果や接合リーキ電流の原因であるゲートエッジにおいて深くて高不純物濃度の領域を持ったソース拡散層14およびドレイン拡散層15に形成されることはない。

【0098】次に図4(k)に示すように、通常のサリサイド技術を用いて、金属シリサイド膜16を自己整合的に形成した後、層間絶縁膜17を全面に堆積する。

【0099】最後に、層間絶縁膜17にコンタクトホールを開口し、A1配線(ソース電極、ドレイン電極)18を形成して、エレベーテッドソース・ドレイン構造を有するMOSトランジスタが完成する。

【0100】なお、ここでは、エピタキシャルシリコン膜12の全てをシリサイド化して金属シリサイド膜16を形成したが、エピタキシャルシリコン膜12の上部だけを金属シリサイド膜16に変えて良い。

【0101】以上述べたように本実施形態によれば、ライナーとしてSiO₂ライナー10、ゲート側壁絶縁膜としてゲート側壁SiN膜11を用い、さらにゲート側壁SiN膜11の底面のSiO₂ライナー10を横方向に所定量除去してゲート側壁SiN膜11の底面とシリコン基板1との間に所定寸法の空隙を形成した後に、シリコンのエピタキシャル成長させることによって、ゲート側壁SiN膜11に接した箇所においてファセットの無いエピタキシャルシリコン膜12を形成できるようになる。

【0102】したがって、このファセットの無いエピタキシャルシリコン膜12を介して基板表面に不純物イオンを注入してソース拡散層14およびドレイン拡散層15を形成することにより、短チャネル効果や接合リーキ電流の原因であるゲートエッジにおける高不純物濃度の深い拡散層を形成せずに済むので、短チャネル効果や接合リーキ電流の問題のない微細なMOSトランジスタを実現できるようになる。

【0103】次に、本発明のエレベーテッドソース・ドレイン構造を有する半導体装置及びその製造方法の第2の実施形態について説明する。

18

【0104】図5(a)乃至図5(c)は、エレベーテッドソース・ドレイン構造を有するMOSトランジスタの製造方法を示す各工程の断面図である。

【0105】なお、図2乃至図4と対応する部分には同一符号を付してあり、その構成の説明は省略する。

【0106】この第2の実施形態が第1の実施形態と異なる点は、SiNライナー10の代わりにSiONライナー19を用いたことにある。

【0107】図5(a)に示す工程断面図は、第1の実施形態の図2及び図3に示す工程で得られた工程断面図と同じであり、SiONライナー19を用いた点を除いて第1の実施形態と同じである。

【0108】次に、図5(b)に示すように、ゲート側壁SiN膜11で覆われていない領域のSiO₂ライナー19およびゲート酸化膜6を除去する。このとき、SiONライナー19は横方向にエッチングする必要はない。

【0109】次に図5(c)に示すように、気相選択エピタキシャル成長法により、ソース拡散層8およびドレイン拡散層9上に厚さ50nm程度のエピタキシャルシリコン膜12を形成する。

【0110】ここで、シリコンのエピタキシャル成長に関して、SiONはSiNと同様の性質を持っているため、すなわちエピタキシャルシリコン膜12がSiON膜に接しながら成長する場合には、SiN膜に接しながら成長する場合と同様にファセットを生じることなく平坦に成長する。

【0111】したがって、SiONライナー19が横方向にエッチングされていなくても、図5(c)に示すようにファセットのないエピタキシャルシリコン層11が形成される。

【0112】この後に続く工程は、第1の実施形態を示す図4までの工程と同じである。この第2の実施形態においても第1の実施形態と同様な効果が得られる。

【0113】なお、本発明は、上記実施形態に限定されるものではない。例えば、上記実施形態では、単体のMOSトランジスタの場合について説明したが、本発明は互いにチャネルの導電型の異なるMOSトランジスタからなるデバイスであるCMOSトランジスタにも適用できる。

【0114】次に、本発明の第3の実施例としてダマシングゲートトランジスタの製造方法を図7乃至図9を参照して以下に説明する。

【0115】シリコンから成る半導体基板に既知の方法で、浅溝型素子分離(STI)により素子領域を形成する。図示しないが、例えばシリコン基板上にバッファ酸化膜を介してマスクとなるシリコン窒化膜を堆積させ、転写用のレジストをパターニングした後、RIE(Reactive Ion Etching)によりシリコン窒化膜に素子領域のパターンを形成する。

(11)

19

【0116】次に、レジストを除去した後、シリコン窒化膜をマスクとして素子分離領域のシリコン基板をエッティングする。次に、素子分離領域にシリコン酸化膜などの絶縁膜を堆積させ、CMP(Chemical Mechanical Polishing)などでマスクであるシリコン窒化膜上面まで平坦化する。

【0117】その後、シリコン窒化膜とバッファ酸化膜を除去することで素子領域と素子分離領域とが形成される。必要に応じて、トランジスタ形成領域全面に不純物を注入することでトランジスタのチャネル部分の不純物濃度の調整を行う。

【0118】図7(a)に示すように、シリコン基板上20上にバッファ酸化膜21を形成し、非結晶又は、多結晶シリコン22とシリコン窒化膜23を順に堆積させる。

【0119】レジストを塗布し、ゲート電極を形成すべき部分にゲートパターンを転写させ、それをマスクにシリコン窒化膜23と多結晶シリコン22の異方性エッティングを行うことでダミーゲート24を形成する。

【0120】次に、例えば、BF2ガスを用いて10keV, 5x10¹⁴ cm⁻²程度の条件でダミーゲートをマスクとしてBのイオン注入を行い、ソース領域、ドレイン領域の一部となるべき、LD(Lightly Doped Drain)と呼ばれる領域を形成する。

【0121】次に、LP-CVD法等を用いて10nm程度のSiO₂を堆積するか、又は、酸化することで、これをライナー層25とする。次いで、LP-CVD法等により70nm程度のSiN層をライナー層25に対して被覆性よく堆積し、RIEによりゲート側壁にのみSiNを残しSiNゲート側壁26とする。

【0122】前述の酸化膜ライナー層25は、SiNをRIEする際のエッティングストッパーの役割を果たす。

【0123】尚、図7(a)に示したように、ゲート側壁26を残すのみでSiNを完全にエッティングすると、ライナー層25であるSiO₂層もややエッティングされる場合があるが、ライナー層25が残留していればSi基板20は、RIEから保護できていてダメージは、発生しない。

【0124】この後、Si選択エピタキシャル成長を行うが、エピタキシャル成長のためには、基板の結晶性をエピタキシャル層が引き継ぐことが必要であるためにソース・ドレイン上に残存するSiO₂を除去する必要がある。

【0125】そこで、エピタキシャル成長前に希フッ酸等によるエッティングによるなどして予めソース・ドレイン上のSiO₂を除去しておく。

【0126】希フッ酸等によるウエット処理のような等方性エッティングでは、ソース・ドレイン上の自然酸化膜だけではなくSiNゲート側壁26の底部の酸化膜もエッティングされる。(図7(b))

上記実施例では、{100}基板を用いた場合の{311}ファセットの生成を抑えるために、図1で定義したθを

20

23. 5°とすればよい。

【0127】図1で定義したyは、本実施例のSiO₂ライナー25の厚さに相当する。従って、SiO₂ライナー25の厚さ10nmに対して横方向エッティング量xは、 $10/\sqrt{\tan 23.5^\circ}$ より、 $x > 21\text{ nm}$ を満たすようにエッティングを行う。

【0128】引き続き気相選択エピタキシャル成長法により、ソース・ドレイン領域に選択的に50nm程度のエピタキシャルSi層を形成する。図7(c)で示す本実施例では、SiH₂C₁₂/HClをH₂で希釈した混合ガスを用い、10Torr台の低圧雰囲気でエピタキシャル成長を行う場合について記述するが、SiH₄等を用いた場合でも本発明を有効に適用することが可能である。

【0129】エピタキシャルSiの膜厚が10nm未満の成長の初期段階ではエピタキシャルSi膜は、SiO₂ライナー25と接するため、{311}面のファセット28が生じるが、膜厚10nm未満を超える時点での成長の初期段階ではファセット28は、SiNゲート側壁26の底部に隠れるため、SiNゲート側壁26に接した部分のエピタキシャルSiは、10nm以上の膜厚を有するときファセット28が生じることはない。

【0130】続いて、例えばBF2ガスを用いて40keV, 3x10¹⁵ cm⁻²程度のBのイオン注入をダミーゲート24及びSiN側壁26をマスクとして低抵抗化するためエピタキシャルSi膜27部分に行い、イオン注入後にアニールを行い、高濃度拡散層としてソース拡散層及びドレイン拡散層をシリコン基板上に形成する。

【0131】尚、ソース・ドレイン拡散層部分を低抵抗化するために、エピタキシャルSi部分上面にシリサイドを形成することもできる。この場合、拡散層のイオン注入の前にシリサイド形成工程があつてもよい。

【0132】本発明によりファセットのないエピタキシャルSi膜をソース・ドレイン上に選択的に形成してあるため、SiN側壁26とエピタキシャルSi膜27との間の基板に、より深いイオン注入が入ることがないので異常拡散が起こることはなく、接合リードや、ソース・ドレイン間の耐圧劣化等の少ない良好な特性を得ることが可能となる。この後は、図8(d)に示すように、全面に例えばTEOS等の層間絶縁膜29を堆積させた後、CMPなどで層間絶縁膜29を平坦化させるとともにダミーゲート24上の上面のシリコン窒化膜を露出させる。

【0133】次いで、図8(e)に示すように熱りん酸処理によりシリコン窒化膜SiN23を除去した後、CDE(Chemical Dry Etching)によりダミーゲート24の多結晶シリコン22を除去する。

【0134】ダミーゲート24を除去した溝部分において、バッファとして形成したシリコン酸化膜21を希フッ酸処理を用いて除去することでシリコン基板表面を露出させる。

【0135】このときの前記SiN側壁26下底の部分的

(12)

21

拡大図を図9 (g) に示す。次に図8 (f) に示すようにシリコン基板表面を酸化させるか、又は、絶縁膜（例えば酸化タンタル）を堆積させることによってゲート絶縁膜31を形成する。

【0136】場合によってシリコン基板との間に例えば窒化層等の界面層30を形成してもよい。このときの前記ゲート絶縁膜31及び前記SiN側壁26の下底の部分拡大図を図9 (h) に示す。

【0137】図9 (i) に示すように本実施例では、ゲート材料を金属のタングステンとすると、反応防止膜32として例えば窒化チタンを形成させた後、溝部分にタングステンを形成し、CMP等で平坦化することで、ゲートタングステン電極33を溝に埋め込む。このとき、上面は、平坦に仕上がっている。

【0138】尚、前記ゲート絶縁膜は、例えばTa205より成り、誘電率は、シリコン酸化膜より高い。

【0139】上記図8 (d) に示した工程の後にシリコン窒化膜SiN 23を除去する際に、前記SiN側壁26の上部が表面から露出し、同時にエッチング除去される場合がある。その場合は、前記SiN側壁26の上部にゲート電極が埋め込まれる。

【0140】しかしながら、この場合もそのエッチング深さはSiN膜の厚さ程度にとどまるので、エピタキシャルSi膜27に接するほどにまでエッチングされることはない、ゲート電極により短絡されることはない。従つて、ゲート・ソース間及びゲート・ドレイン間のリーク電流が増加することはない。

【0141】その後は、通常のトランジスタ形成工程に従う。つまり、層間絶縁膜を全面に堆積させ、ゲートコンタクトホールのパターニングをした後、異方性エッチングによってコンタクトホールを形成する。

【0142】反応防止層として窒化チタンを形成した後、ゲート配線となるアルミを形成する。ゲート配線をパターニングによりレジストに転写し、エッチングによりアルミを除去することによりゲート配線を完成する。

【0143】上述したダマシングートトランジスタの製造方法を示す第3の実施例によれば、ソース・ドレインイオンの注入及びアニール、Siエピタキシャル成長等の700°C程度以上の高温熟工程が終了した後にゲート絶縁膜31を形成することができる。

【0144】又、このゲート絶縁膜31の形成工程の後は、もはや500°C以上の高温工程は、必要とされない。従つて、高温工程で物性の変化が起こる、Ta205、BST等の高誘電体膜をゲート絶縁膜として用い、良好な特性を得ることができる。

【0145】また、上記第3の実施例によれば、製造されたダマシングートトランジスタでは、前述した第1、第2の実施例による製造方法により製造されたトランジスタと同様に、ソース領域及びドレイン領域であるエピタキシャルシリコン層とゲート電極との間が一部、エピ

22

タキシャルシリコン形成時のファセットにより空洞となっている。

【0146】このためソース・ゲート間及びソース・ドレイン間の容量を削減することができる。このとき、ライナー膜25の一部が前記SiN側壁26の下底に残っている。

【0147】本発明は、上記実施形態に限定されるものではなく、本発明の要旨を逸脱しない範囲で種々に変形して実施することができる。

【0148】例えば、層間膜及びゲート材料の平坦化にCMPを用いているが、エッチバックでも形成できる。

【0149】又、ゲート部分に関しては、CMPで平坦化を行わずにパターニングとエッチングによりゲート電極を形成してもよい。ゲート電極は、タングステンに限らず、アルミニウムや銅などの他の金属でも可能である。

【0150】又、反応防止膜としては、窒化チタンの他に、窒化タングステン、窒化タンタルでもよい。尚、電極自体が金属ではなく、リンを含んだ多結晶シリコンの場合は、反応防止膜を必要としない。ゲート絶縁膜は、酸化タンタルに限らず誘電率の高い絶縁膜であればよい。又、ダミーゲートを除去した際に、バッファ酸化膜越しにイオン注入することで局所的なしきい値調整を行うこともできる。拡散層を形成するためにイオン注入した不純物は、Bに限らずPでもよい。

【0151】P-拡散層を形成する場合は、BやBF2等を用いることによって実現できる。

【0152】尚、それぞれのイオン種においてイオン注入条件は、異なるものである。

【0153】その他、本発明の要旨を逸脱しない範囲で、種々変形して実施できる。

【0154】

【発明の効果】以上説明したように、本発明のエレベーテッドソース・ドレイン構造を有するMOSトランジスタを形成する半導体装置およびその製造方法によれば、短チャネル効果および接合リーク電流の発生が抑制される。

【0155】又、本発明のエレベーテッドソース・ドレイン構造を有するダマシングートトランジスタが形成される半導体装置及びその製造方法によれば、ソース・ゲート間及びソース・ドレイン間の容量を削減でき、更に接合リークやソース・ドレイン間の耐圧劣化の少ない良好な特性が得られる。

【図面の簡単な説明】

【図1】本発明に係るエレベーテッドソース・ドレイン構造を有するMOSトランジスタおよびその一部を拡大して示す断面図。

【図2】本発明の第1の実施形態に係るエレベーテッドソース・ドレイン構造を有するMOSトランジスタの製造方法を示す各工程断面図。

【図3】図2に示す製造工程に続くMOSトランジスタ

(13)

23

の製造方法を示す各工程断面図。

【図4】図3に示す製造工程に続くMOSトランジスタの製造方法を示す各工程断面図。

【図5】本発明の第2の実施形態に係るエレベーテッドソース・ドレイン構造を有するMOSトランジスタの製造方法を示す各工程断面図。

【図6】本発明に係るエレベーテッドソース・ドレイン構造を有するMOSトランジスタのエレベーテッドソース膜およびドレイン膜に相当する基板上に形成された微細パターンを示す顕微鏡写真。

【図7】本発明の第3の実施形態に係るエレベーテッドソース・ドレイン構造を有するMOSトランジスタの製造方法を示す各工程図を示す。

【図8】図7に示す製造工程に続くMOSトランジスタの製造方法を示す各工程図を示す。

【図9】図8に示す工程断面図の内の部分的拡大断面図及び最終工程断面図を示す。

【図10】従来のエレベーテッドソース・ドレイン構造を有するMOSトランジスタの断面図を示す。

【図11】本発明の概要を説明するためのエレベーテッドソース・ドレイン構造を有するMOSトランジスタの断面図。

【図12】図11に示すエレベーテッドソース・ドレイ

(13)

24

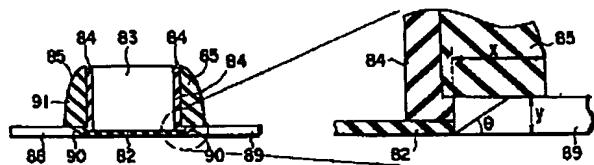
ン構造を有するMOSトランジスタのエレベーテッド・ソース膜及びエレベーテッド・ドレイン膜の成長過程を示す各断面図。

【図13】図12に示すエレベーテッドソース・ドレイン構造を有するMOSトランジスタのエレベーテッドソース膜およびドレイン膜に相当する基板上に形成された微細パターンを示す顕微鏡写真。

【符号の説明】

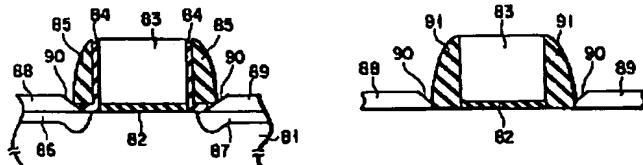
- 1 …シリコン基板
- 7 …ゲート電極
- 10 …ライナー膜
- 11 …ゲート側壁絶縁膜
- 12 …エピタキシャル絶縁膜
- 13 …ファセット
- 16 …金属シリサイド膜
- 20 …シリコン基板
- 24 …ダミーゲート
- 25 …SiO₂ライナー
- 26 …SiNゲート側壁
- 27 …エピタキシャルSi膜
- 28 …ファセット
- 31 …ゲート絶縁膜
- 32 …反応防止膜

【図1】

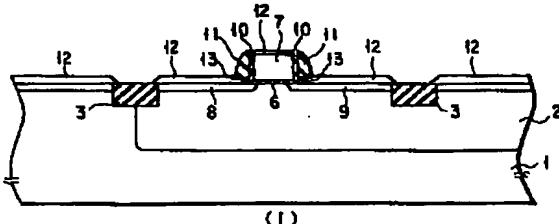


【図10】

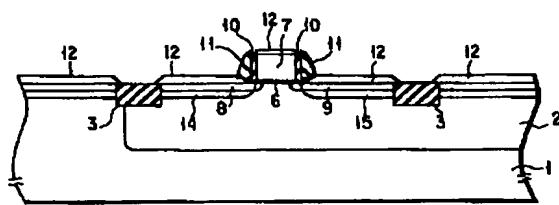
【図11】



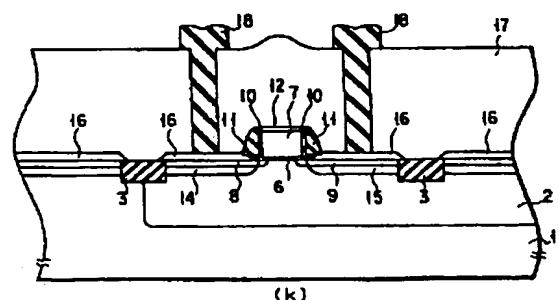
【図4】



(I)



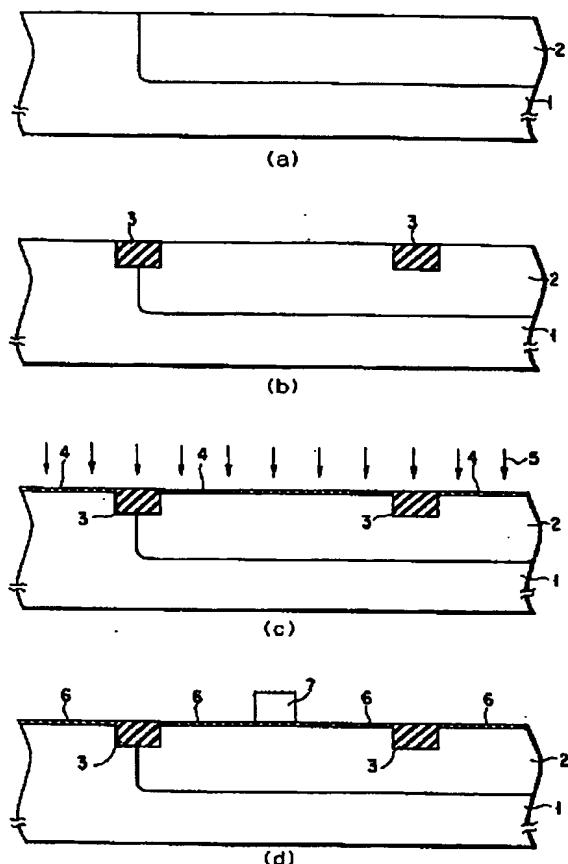
(J)



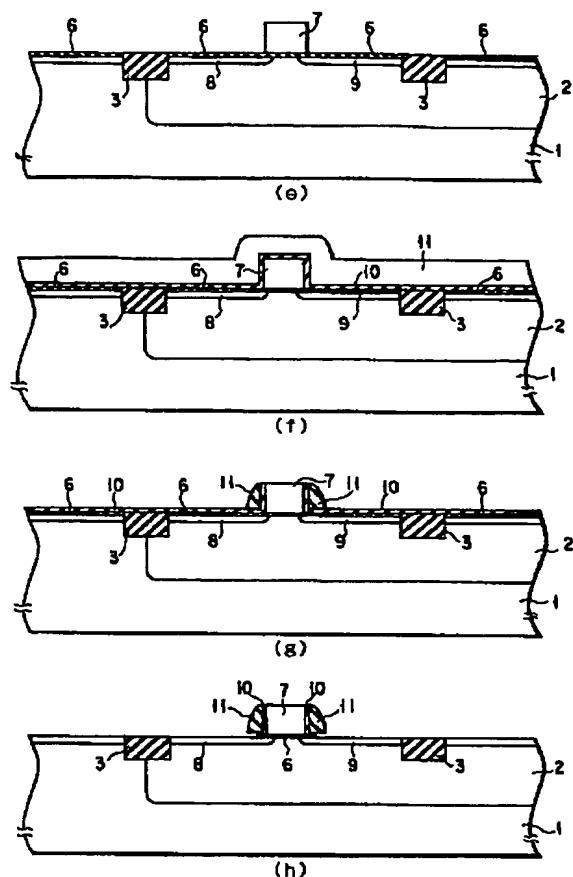
(K)

(14)

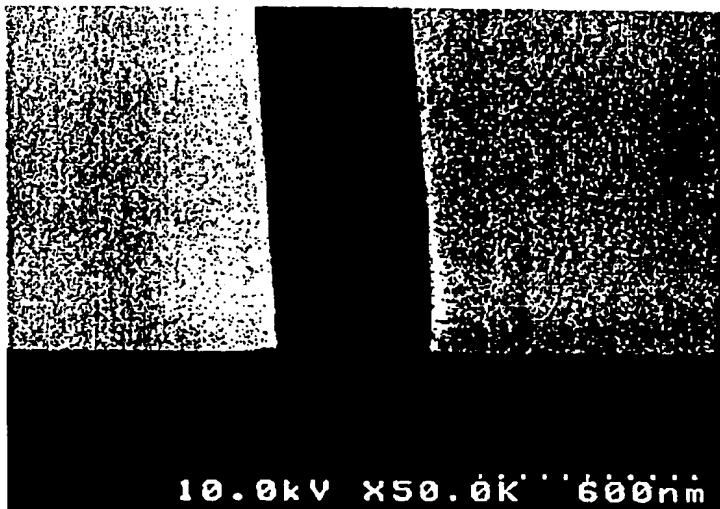
【図2】



【図3】

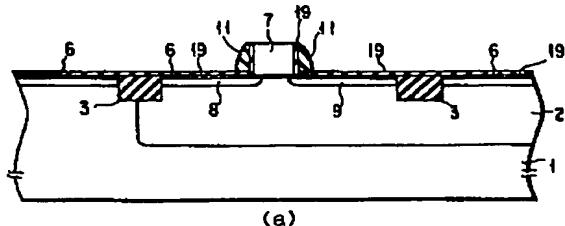


【図6】

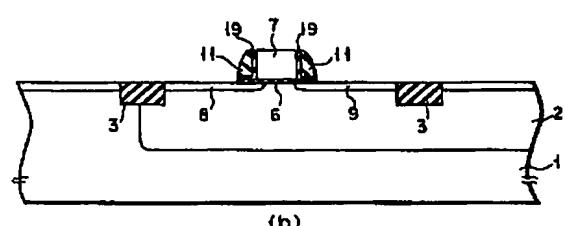


(15)

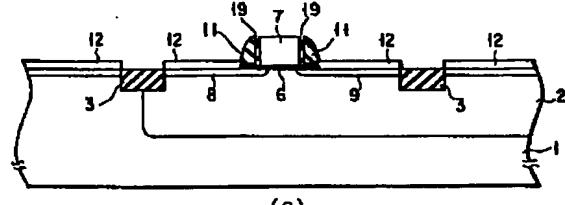
【図5】



(a)

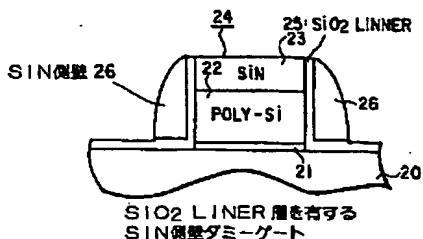


(b)

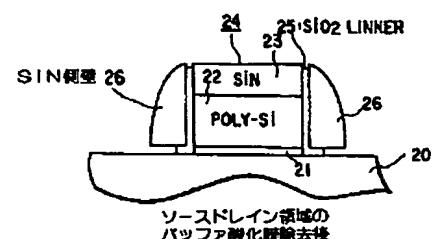


(c)

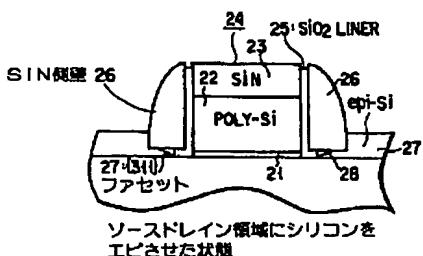
【図7】



(a)

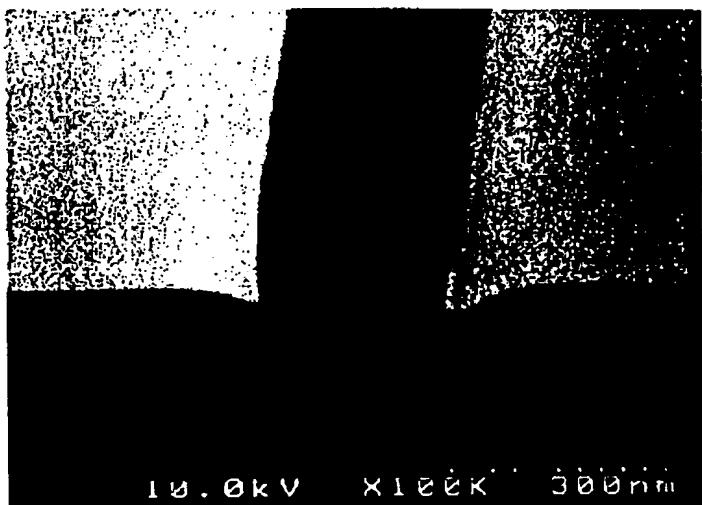


(b)



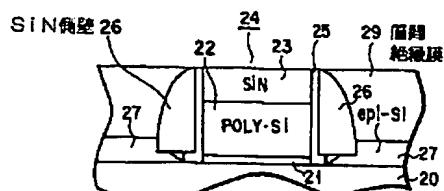
(c)

【図13】

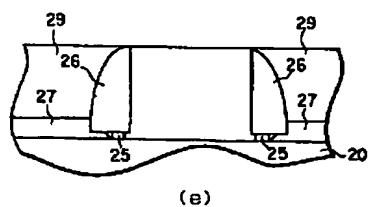


(16)

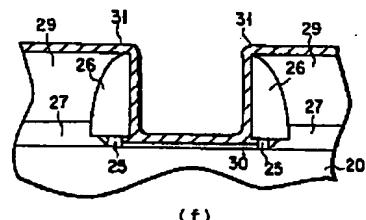
【図8】



(d)

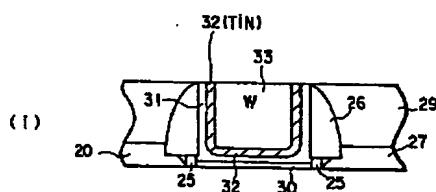
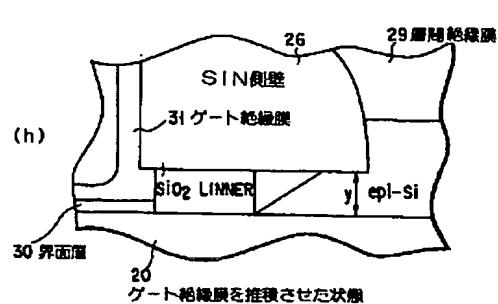
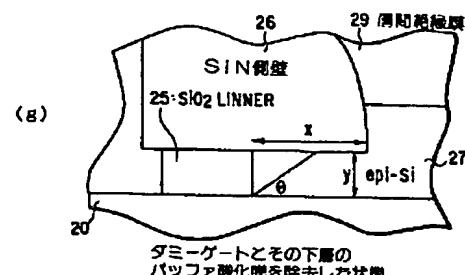


(e)



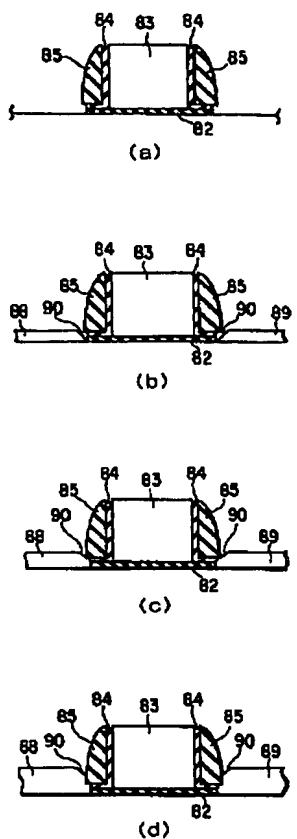
(f)

【図9】



(17)

【図12】



フロントページの続き

(72)発明者 綱島 祥隆
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(72)発明者 斎藤 友博
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.